

DESIGN

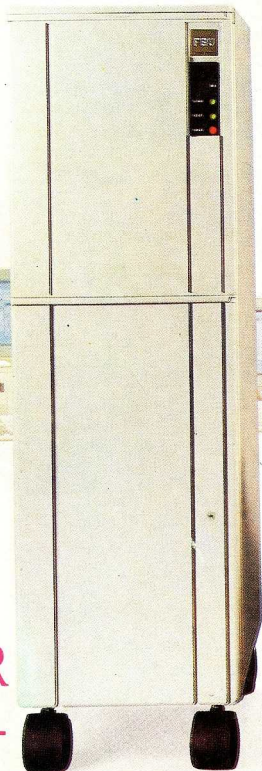
07/07/78/81
цього рік Європа

hardware

МЕСЕЧНО СПИСАНИЕ ЗА СХЕМОТЕХНИКА И ХАРДУЕР БРОЙ I ГОДИНА II ISSN 0861-4261

1/92

7.-AB.



FBU

COMPUTER
SYSTEMS -



another step into the FUTURE!

фирма
ИНТЕГРИРАНИ КОМПЮТЪРНИ СИСТЕМИ
ПРЕДЛАГА

<p>AT 486DX-33MHz EISA 256K Cache 4MB RAM 330MB HDD SCSI SCSI AHA-1542B 1.2MB; 1.44MB FDDs 2S/P Ports 101 Keyboard 200W P.S. SVGA 16B/512K 14" SVGA Color Monitor</p>	<p>AT 486DX-33MHz ISA 64K Cache 4MB RAM 80MB HDD AT BUS 1.2MB; 1.44MB FDDs 2S/P Ports 101 Keyboard 200W P.S. SVGA 16B/512K 14" SVGA Color Monitor</p>	<p>AT 386SX-20MHz 2MB RAM 52MB HDD AT BUS 1.2MB FDD 2S/P Ports 101 Keyboard 200W P.S. SVGA 16B/512K 14" SVGA Color Monitor</p>	<p>AT 286-12MHz 1MB RAM 52MB HDD AT BUS 1.2MB FDDs 2S/P Ports 101 Keyboard 200W P.S. M/G/P Card 14" Hercules Monitor</p>
\$ 5190	\$ 2390	\$ 1325	\$ 890
<p>AT 486DX-33MHz EISA 256K Cache 4MB RAM 120MB HDD AT BUS 1.2MB; 1.44MB FDDs 2S/P Ports 101 Keyboard 200W P.S. SVGA 16B/512K 14" SVGA Color Monitor</p>	<p>AT 386DX-33MHz 64K Cache 2MB RAM 80MB HDD AT BUS 1.2MB; 1.44MB FDDs 2S/P Ports 101 Keyboard 200W P.S. SVGA 16B/512K 14" SVGA Color Monitor</p>	<p>AT 386SX-16MHz 2MB RAM 52MB HDD AT BUS 1.2MB FDDs 2S/P Ports 101 Keyboard 200W P.S. SVGA 16B/512K 14" SVGA Color Monitor</p>	<p>Notebook 386SX-16MHz 2MB RAM 40MB HDD 1.44FDD VGA Mode 640x480 LCD 81 Keyboard I/O Port Battery Pack</p>
\$ 3580	\$ 1790	\$ 1295	\$ 1190
<p>AT 486DX-33MHz ISA 256K Cache 4MB RAM 120MB HDD AT BUS 1.2MB; 1.44MB FDDs 2S/P Ports 101 Keyboard 200W P.S. SVGA 16B/512K 14" SVGA Color Monitor</p>	<p>AT 386DX-25MHz 2MB RAM 80MB HDD AT BUS 1.2MB; 1.44MB FDDs 2S/P Ports 101 Keyboard 200W P.S. SVGA 16B/512K 14" SVGA Color Monitor</p>	<p>AT 286-16MHz 1MB RAM 52MB HDD AT BUS 1.2MB FDDs 2S/P Ports 101 Keyboard 200W P.S. SVGA 16B/512K 14" SVGA Color Monitor</p>	<p style="text-align: center;">ВАЖНО!</p> <p>Левовите цени се определят по курс „ПРОДАВА“ на ТБ Варна АД за деня на сключване на договора за покупка.</p>
\$ 2590	\$ 1690	\$ 1150	



INTEGRATED COMPUTER SYSTEMS
P.O. Box 272 Varna-9000 Bulgaria
tel (052) 25-52-88 fax (052) 24-40-30

34 Copying тел. 20 73 00

СЪДЪРЖАНИЕ

ADC\DAC контролер.....	2
GENIUS MOUSE	9
EGA контролер.....	11
Клавиатура.....	17
ТВ синхрогенератор.....	19
AT BUS.....	21
Фамилия 68xxx.....	23
AT 286.....	25

Здравейте,

Преди няколко дни, когато настоящият брой беше почти приключен, най-последно реших да си отговоря на два въпроса, които отдавана не ми даваха мира. Първо, за кого правим това списание и второ, каква ще е нашата (разбирай - на редакцията) позиция по основните направления на хардуера въобще.

По първия въпрос. Едва ли ще увеличим тиража си, ако сега тук напиша, че списанието е „за широк кръг читатели“, засяга „редица актуални проблеми“, че е „единствено по рода си“ и въобще - „...а бе защо не хукнете веднага всички да се абонирате?!“ Не искам да лансирам също и идеята, че списанието е за тези, които си ялят с поялника (виж рисунката), които си мислят, че една схема не работи, понеже е проектирана „за японски транзистори“ и за които основният метод на работа е тозгича „пробите и грешките“. (Най-малко аз не съм привърженик на този метод.) Тогава за кого все пак?

Има една сентенция, че решаването на проблема измества същността му. Тук тя изглежда е съвсем на място. Отговорът дойде от самосебе си - Скъпи Читателю! Да, ти, който четеш сега тези редове. Това списание е за теб! (Дано това не ви прозвучи като измъкване от отговор.)

На втория въпрос мога да отговоря съвсем кратко - в това списание няма да има рубрика „IBM UBER ALLES“. Всъщност съвръх. Рубрика ще има. Исках да кажа - в това списание IBM няма да е „UBER ALLES“.

Толкова.

К.Щерев

DESIGN (hardware) 1/92

Главен редактор - Константин Щерев
Зам. главен редактор - Петър Петров
Консултанти - Иван Ключуков, Милчо Милушев, Милко Харизанов, Диан Младенов
Художник - Свilen Димитров
Реклама - Светослав Славов

Адрес - Варна 9000 П.К. 272
тел. (052) 25-03-91

Цена за абонати 6.20 лв.
Цена за свободна продажба 7.00 лв.



рисунка - Свilen Димитров

APPLICATION HARDWARE

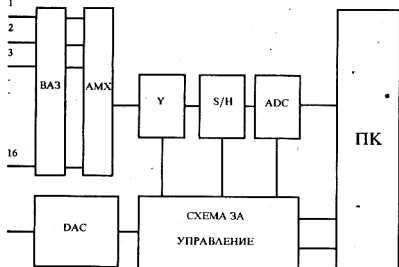
ADC/DAC контролер

Модулет е предназначен за работа с персонални компютри от серията IBM PC/XT/AT или съвместими с тях. Той е част от многоканална система за събиране и обработка на аналогова информация и е приложим при изследване на аналогови сигнали с честотен спектър 5...10 kHz. Предвидена е възможност за въздействие върху обекта на изследване с помощта на управляващо напрежение от цифрово-аналогов преобразувател.

ТЕХНИЧЕСКИ ХАРАКТЕРИСТИКИ

1. Разрядност - 12 бита
2. Време за преобразуване - 100(25) mks
3. Време за следене на входния сигнал - > 6 mks
4. Точност на аналого-цифровото преобразуване - 0,1%
5. Брой на входните аналогови канали - 16
6. Брой на цифровите входове - 4 от които 2 галаванически развързани
7. Тип на цифровите входове - 3 по ниво 1 по фронт
8. Напрежение на цифровите входове - TTL
9. Обхват на изменението на входното аналогово напрежение - от 20 mV до 5 V по степен 1:2,5
10. Обхват на изходното напрежение - 0,5, 0, 10 V
11. Разрядност на D/A преобразуване - 12 бита
12. Точност на D/A преобразуване - 0,025 %
13. Брой на аналоговите изходи - 1
14. Време на установяване на изходното напрежение - 5 mks
15. Захранващи напрежения - +5V, +/-12V
16. Консумирана мощност - не повече от 2 W

Контролерът е изграден по стандартна структурна схема:



където:

- VA3 - входна аналогова защита;
- AMX - входен аналогов мултиплексор;
- Y - входен мачшайриращ усилвател;
- S/H - аналогова памет;
- ADC - аналого-цифров преобразувател;
- DAC - цифрово-аналогов преобразувател.

В най-общи линии модулет функционира по следният начин: Входното аналогово напрежение постъпва през един от каналите на аналоговия мултиплексор в мачшайриращ усилвател. Неговото предназначение е да усилва това напрежение (ако е необходимо) до нормалното за работа на АЦП напрежение,

за да може да се използва пълната скала и от там да се получи най-високата възможна точност. Наличието на следващия елемент - схемата S/H е обусловено от типа на използвания АЦП - с последователно приближение. Този тип АЦП изискват по време на последователното установяване на изходния код входното напрежение да не се изменя повече от стойността на най-младшия значещ разряд.

Управляващата схема синхронизира работата на отделните блокове в контролера, генерира прекъсвания със задан период в ПК, съхранява цифровия код, който е свързан с изходното аналогово напрежение, управлява полярицията на АЦП и др.

В контролера е предвиден един изходен аналогов канал, изпълнен с ЦАП и буферен аналогов усилвател. В ЦАП се извършва преобразуването на цифровия код от магистралата за данни в изходно аналогово напрежение.

Цифровите входове в модула са четири на брой. Два от тези входове са оптоелектронно развързани. Три входа са чувствителни по ниво, а единият е чувствителен по положителен фронт на входния цифров сигнал. Тези входове както и аналоговите, притежават диодна защита от пренапрежение.

ОПИСАНИЕ НА ПРИНЦИПНАТА СХЕМА:

Ще опишем работата на контролера при положение, че сме избрали първи аналогов канал.

В съединителя обозначен с X1 са изведени входните аналогови линии за модула. Аналоговият сигнал се филтрира от високочестотни съставлящи от групата R50-C52, представляваща нискочестотен филтър и през диодната защита VD9-VD27 (сработваща на +/- 5.7 V) постъпва на входа S1 на интегралната схема D23, която представлява аналогов мултиплексор. В зависимост от кода на цифровите входове на мултиплексорите D22 и D23 един от шестнадесетте аналогови канали се подава на входа на буферния усилвател D24. Неговото наличие се обуславя от факта, че следващото стъпало - мачшайриращ усилвател е включен по инвертираща схема, което при отделните коефициенти на усилване ще води до промяна в дръжката, която е трудно да бъде компенсирана. В мачшайриращ усилвател е включена и схемата за управление на офсета. Той (усилвателят) е изграден от аналогов мултиплексор D20 и операционните усилватели D16 и D12. В зависимост от цифровия код на входовете A0, A1 и EN на D20, изходът на буферния усилвател се включва към един от резисторите R20, R21, R24 или R25 като при това се получават четири различни коефициента на усилване, които се определят от отношението между тези резистори и стойността на резистора, включен във веригата за обратна връзка на D16 - R22. Другата част на мултиплексора е свързана към неинвертиращия вход на D16 и поддържа еквивалентно съпротивление равното на това към инвертиращия вход за да се елиминира дръжката от входния ток на поляризация на операционния усилвател. В усилвателя D12 се осъществява възстановяване на фазата на входния сигнал чрез повторно инвертиране, допълнително усилване (10 пъти) и постоянно-токово отместване. При еднополярен сигнал аналоговият ключ D15A е отворен, а D15C е затворен. При двуполярен входен сигнал се подава постоянно-токово отместване от опорното напрежение (2,56 V) на изхода на DAC. Ключовете D15B и D15D променят коефициента на усилване на D12 и поддържат равенство на съпротивлението към неинвертиращия и инвертиращия вход като по този начин компенсират тока на поляризация. Диодът VD1 предпазва входа на АЦП (D3) от отрицателно напрежение.

От изхода на D12 мачшайрираният сигнал постъпва на входа на аналоговата памет D9. Изхода на аналоговата памет е включен в D3 - АЦП CM 757 произведено от ИМЕ - София. Съгласно предписанията на фирмата - производител е необходимо вътрешното опорно напрежение (около 1.8 V) да бъде усилено до 5.12 V с помощта на външен усилвател - това е групата C11, D4A,

C6, R2, R1 и тримерът за прецизна настройка RP1. CM757 може да работи с вътрешен или външен тактов генератор в зависимост от положението на джъмпера XP1. Когато XP1 е в позиция 1-2 на тактовия вход INГ се подава поредица с честота 1,1925 MHz получена от разделянето на сигнала на осцилатора с честота 14,31818 MHz на 12 от двубичния брояч D2 (74LS93). При тази честота времето за преобразуване е около 20 sec, но точността е гарантирана за около 90 % от произведените преобразуватели. Ако XP1 е в позиция 2-3 се използва външният генератор на CM757 и времето за преобразуване зависи от R9 и C14, като при посочените стойности то е около 100 мксек. Това е минималното време за преобразуване, гарантирано 100 % от производителя.

В контролера се използва аналоговото управление на операционните следене - запомняне на адресната памет. Когато преобразуването на CM757 завърши, изходът INTR преминава в ниско ниво. Преходът 1 в 0 се инициира от D5A и се подава на входа CLK на D-триггера D6B, което предизвиква установяването на изхода Q в 1. Това е валидно до преминаване на D9 от режим запомняне (hold) в режим следене (sample). При запис в адрес \$300 изходът Q се установява в 0 и аналоговата памет преминава в режим запомняне. Едновреметраене с това се инициира и старти на преобразуването на ЦАП - преход от 1 в 0 на входа WR. D5D, C28, D5F и C13 извършват заключване на фронта, което е необходимо за да успее аналоговата памет да премине от режим следене в режим запомняне (> 150 nsec). Опорното напрежение за офсет се получава от опорното напрежение на CM757 посредством D4C, R6, R8 и тримера за прецизна настройка RP3.

Интерградната схема D8 представлява 12-битов ЦАП, притежава вътрешни регистри за съхранение на цифровите кодове и собствен източник на опорно напрежение. CM758-2 е ориентиран към 8-битова магистрала. Съгласно фирмата-производител опорното напрежение също трябва да бъде усилено до 5.12 V чрез резистора D4D, C20, C5, R4, R5 и тримера RP2. Изходното напрежение на ЦАП от изхода VOUT се усилва от D7, VT1 и се извежда на съединителя X1. Горната граница на това напрежение зависи от положението на джъмпера XP2. Ако XP2 е в позиция 3-4 напрежението е 5.12 V, а ако са свързани 1-3 и 2-4 то напрежението е 10.24 V. В адресното пространство ЦАП зема три адреса

- \$303 за младшия байт, \$302 за старшия байт и \$304 за трансфера между вътрешните регистри. D13F, C26, R19, VD2 и D13A осигуряват съгласуване на времедиаграмите на запис в ЦАП.

Цифровите входове са изведени на съединителя X2. На тях може да се подават само TTL-нива. Входовете 1 и 2 са галванически развязани посредством оптроните D28 и D29. Регисторите R60 и R61 ограничават тока през светодиодите. Ако е необходима промяна в нивото на логическите сигнали на тези два входа е необходимо да се променят стойностите на тези резистори. Вход 1 е свързан към магистралата за данни през D-триггера D6A. При положителен преход на входа на триггера (а това е еквивалентно отпадане на тока през светодиода на оптрона) изходът Q се установява в 1. За да се подготви този вход за регистрация на следващ преход е необходимо да се извърши нулиране на D-триггера посредством четене на адрес \$303. Входовете 3 и 4 са чувствителни по ниво. Когато тези входове не са свързани към външен обект, при прочитането им те винаги ще бъдат в 1 от регисторите R41 и R38. Предвидена е диодна защита, изпълнена с R42, VD20, VD38 и R39, RV19, VD37. Цифровите входове се свързват към магистралата за данни посредством буфера D27.

Дешифрирания се извършва с компараторите D18 и D19. Началният адрес се определя от положението на ключовете в PIS-а, обозначен с SA1. Обозначените адреси на принципната схема са валидни при начален адрес \$300. Пълната дешифриция се осъществява с дешифриратора D10 (за запис) и D11 (за четене).

В контролера е предвидена възможност за монтиране на PROM с организация 8K x 8 (напр. 2764). Началният адрес е \$EA00

и се дешифрира посредством D13C, D13D и D25. D26 е буфер за данни, а D1 е регистър-памет за съхранение на номера на текущия аналогов канал, на коефициента на усилване в поларитета му. Останалите логически елементи от D14, D17 и D5 съгласуват съвместната дейност на отделните възви в контролера.

Предназначението на пример-потенциометрите монтираните на платката:

RP1 - за настройване горната граница на работното напрежение за ЦАП

RP2 - за настройване горната граница на работното напрежение за ЦАП

RP3 - за настройване стойността на отместването

RP4 - за настройване нулата на ЦАП

RP5 - за настройване нулата на аналоговата памет

RP6 - за настройване нулата на мащабиращия усилвател

RP7 - за настройване нулата на буферния аналогов усилвател

Описание на перата на съединителя X1:

- | | |
|--------------------------|---------------------------|
| 1 - аналогова земя; | 14 - аналогова земя; |
| 2 - аналогов канал No9; | 15 - аналогов канал No10; |
| 3 - аналогов канал No11; | 16 - аналогов канал No12; |
| 4 - аналогов канал No13; | 17 - аналогов канал No14; |
| 5 - аналогов канал No15; | 18 - аналогов канал No16; |
| 6 - свободен; | 19 - аналогова земя; |
| 7 - аналогов изход; | 20 - аналогова земя; |
| 8 - свободен; | 21 - аналогов канал No1; |
| 9 - аналогов канал No2; | 22 - аналогов канал No3; |
| 10 - аналогов канал No4; | 23 - аналогов канал No5; |
| 11 - аналогов канал No6; | 24 - аналогов канал No7; |
| 12 - аналогов канал No8; | 25 - аналогова земя; |
| 13 - аналогова земя; | |

Описание на перата на съединителя X2:

- 1 - цифров вход No1 положителен изход;
- 2 - свободен;
- 3 - цифров вход No2 отрицателен изход;
- 4 - цифрова земя;
- 5 - цифров вход No4
- 6 - цифров вход No1 отрицателен изход
- 7 - цифров вход No2 положителен изход
- 8 - свободен
- 9 - цифров вход No3

Описание на адресното пространство, земаемо от модула при начален адрес \$300;

\$300 - четене на старшия байт от аналого-цифровия преобразувател;

\$301 - четене на младшия байт от аналого-цифровия преобразувател;

D7 - бит D9 от изходния код на ЦАП

D6 - бит D10 от изходния код на ЦАП

D5 - бит D11 от изходния код на ЦАП

D4 - бит D12 (LSB) от изходния код на ЦАП

D3 - Out of Range - този бит се установява в 0, когато напрежението на входа на ЦАП е извън работния обхват

D2 - Serial Output - сериен изход

D1 - Clock - синхронизиращ сигнал за сериалния изход

D0 - End of Conversion - установява се в 1, когато преобразуването завърши.

\$302 - четене на цифровите входове

D0 - цифров вход No1

D1 - цифров вход No2

D2 - цифров вход No3

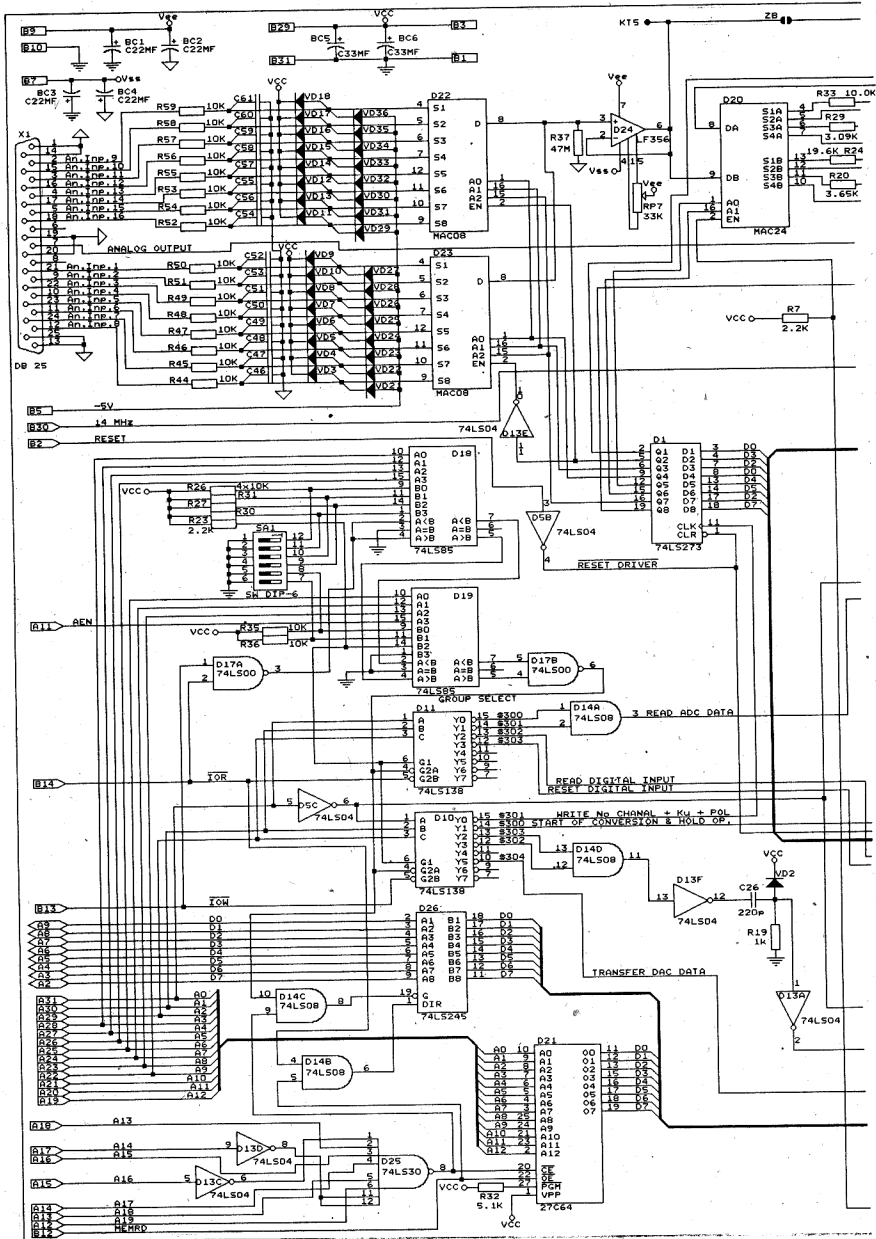
D3 - цифров вход No4

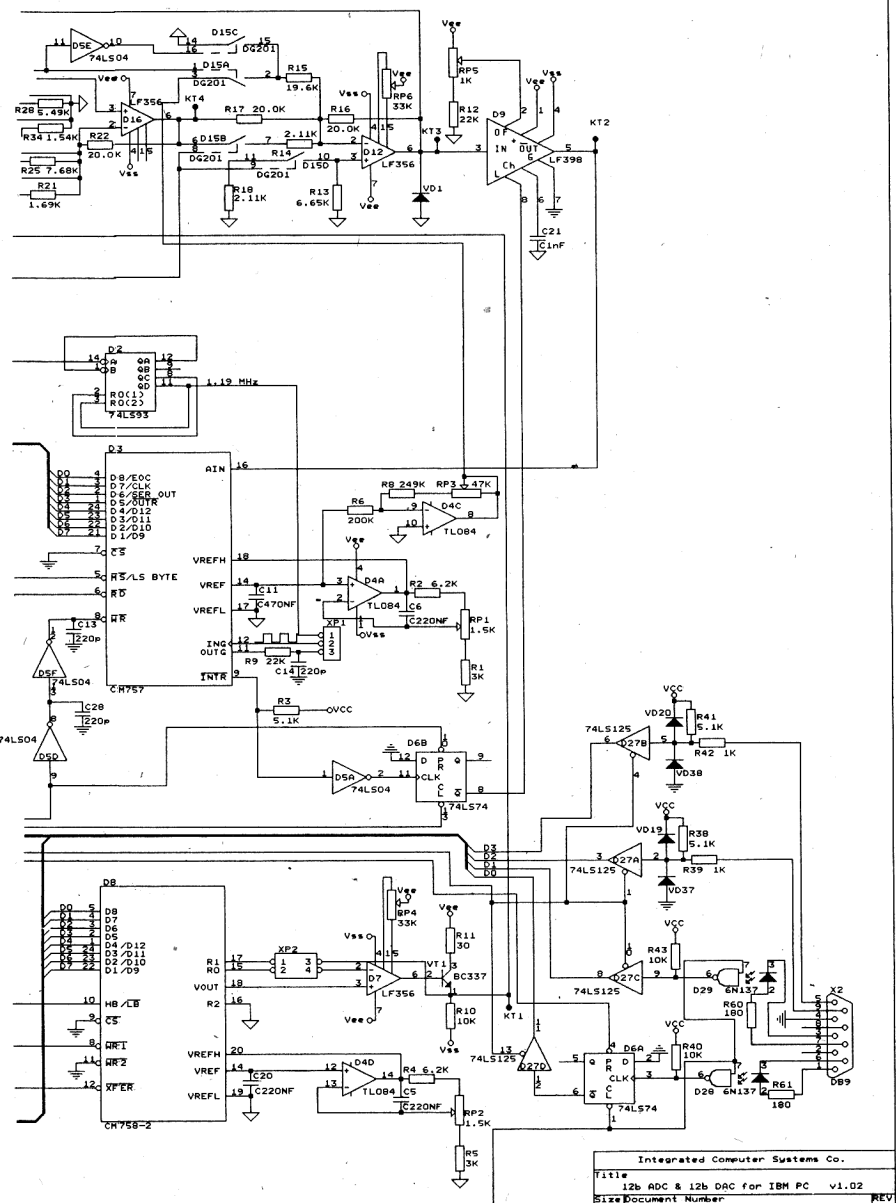
Забележка: Активното ниво за входове No3 No4 е логическа 0.

\$303 - четене - тази операция извършва изчитане на информацията запомнена в цифров вход No1

\$301 - запис - предназначението на отделните битове е следното:

D0, D1, D2, D3 - определят номера на избраня аналогов канал





Integrated Computer Systems Co.

Title 12b ADC & 12b DAC for IBM PC v1.02

Size Document Number

C ICS 003/89

Date: January 6, 1992 Sheet 1 of 1

ADC контролерът, описан подробно в статията, се произвежда от фирма „Интегрирани Компютърни Системи“. Към него е разработен пакет програми „OSCAN“, който е с насоченост към математическо изследване и анализ на аналогови сигнали. Ето и някои от основните функции, реализирани от него -

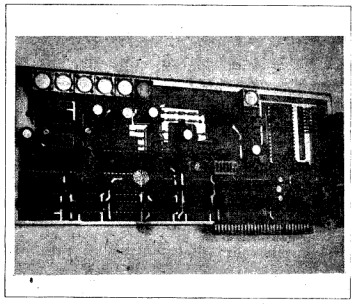
- * АНАЛОГОВ ОСЦИЛОСКОП
- * ЗАПИС НА АНАЛОГОВИ ДАННИ ВЪВ ФАЙЛ
- * МАЩАБИРАНЕ ПО ВРЕМЕ
- * МНОГОМЕРЕН СПЕКТРАЛЕН АНАЛИЗ
- * ЦИФРОВА ФИЛТРАЦИЯ

В допълнение към „OSCAN“ е разработен пакетът „OSGEN“ - програмен генератор на сигнали, по зададени от потребителя параметри. Има възможности за генериране на суми от синусоидални, правоъгълни, триънообразни, триъгълни сигнали и шум.

Цената на контролера плюс пакетите „OSCAN“ и „OSGEN“ е 6000 лева. Фирма „Интегрирани Компютърни Системи“ разполага с ограничен брой

контролери в наличност, а по поръчка може да изработи предварително заявено количество в достатъчно кратък срок.

За делови контакти : Варна, ул. "Аврам Гачев" 12
тел.: (052)255-288



0000-канал No11111-канал No16

D4,D5,D6 - определят коефициента на усилване 000-
Ki = 1.....111-Ki = 100

\$300 - запис - предизвиква операцията „старт на преобразуването“ (състоянието на битовете D0...D7 е без значение).

\$302 - запис - установява старшия байт във вътрешните регистри на ЦАП.

\$303 - запис установява четирите млади бита в регистъра на ЦАП

D7 - бит D9 от входния код на АЦП

D6 - бит D10 от входния код на ЦАП

D5 - бит D11 от входния код на ЦАП

D4 - бит D12 (LSB) от входния код на ЦАП битове D3...D0 са без значение.

\$304 - запис предизвиква прехвърляне на данните във вътрешните регистри на ЦАП. Стойността на битовете D0...D7 е без значение.

Върху платката е разположен ПИС обозначен с SA1 с който се задава разположението на контролера АЦП&ЦАП във входно-изходното пространство на персонална компютър.

1
0 начален адрес \$300

1
0 начален адрес \$308

1
0 начален адрес \$310

1
0 начален адрес \$318

ОПИСАНИЕ НА ДЖЪМПЕРИТЕ

XP1 - за задаване времето за преобразуване на АЦП

1-2 време за преобразуване 25 мксек;

2-3 време за преобразуване 100 мксек?

При време на преобразуване 25 мксек точността на модула не е гарантирана. Препоръчваме Ви да конфигурирате модула с такова време на преобразуване само ако разполагате с персонален компютър от типа IBM AT и се налага да изследвате относително високочестотни сигнали.

XP2 - за задаване изходното напрежение на ЦАП

2-4 максимално изходно напрежение 5.12V

1-2,3-4 максимално изходно напрежение 10.24V

РЕД ЗА НАСТРОЙКА

1. Нулиране на несиметрията на буферния усилвател.

За целта един от аналоговите входове (напр. No1) се окъсява. Към контролна точка КТ5 се включва волтметър и с помощта на тример-потенциометъра RP7 показанието му се довежда до 0V. Това измерване се прави при обхват постоянно напрежение и има стойност от порядък на mV.

2. Нулиране на несиметрията на мащабиращия усилвател

Включваме постоянноотков волтметър в контролна точка КТ3 (при условията на т.1) и с помощта на примера RP6 довеждаме показанието му до 0 V. Това напрежение също е от порядък на mV.

3. Нулиране на несиметрията на аналоговата памет :

Включваме постоянноотков волтметър в контролна точка КТ2 (при условията на т.1) и с помощта на примера RP5 довеждаме показанието му до 0 V. Това напрежение също е от порядък на mV.

3. Установяване на крайната стойност на входното аналогово напрежение.

Отстранява се късото съединение във входния съединител и на един от аналоговите входове се подава еталонно напрежение със стойност 5.1175 V. В този случай на най-младшия бит ще се отварят 2.5 mV. С тример-потенциометъра RP1 настройваме така, че изходният код на АЦП да е в граничната на прехода между \$FFF и \$FFF. При тази настройка пълната скала за АЦП е 5.1200 V.

ПРИМЕРНИ ПРОГРАМИ ЗА ОБСЛУЖВАНЕ НА ADC/DAC КОНТРОЛЕРА

```
PORT_ADC EQU 300h
```

Read_ADC PROC

```
; Подпрограма за прочитане на стойност,  
; от един канал на ADC
```

```
; Входни променливи:
```

```
; BL - {0...15} - Номер на канала  
; BH - {0...7} - коефициент на усилване  
; коэф. еднополярен    двуполярен  
; 0  0...+5.120V      -2.560...+2.560V  
; 1  0...+2.560V      -1.280...+1.280V  
; 2  0...+1.280V      -0.640...+0.640V  
; 3  0...+0.640V      -0.320...+0.320V  
; 4  0...+0.320V      -0.160...+0.160V  
; 5  0...+0.160V      -0.080...+0.080V  
; 6  0...+0.080V      -0.040...+0.040V  
; 7  0...+0.040V      +0.020...+0.020V
```

```
; CL - поляритет на сигнала
```

```
; CL = 1 - еднополярен
```

```
; CL = 0 - двуполярен
```

```
; Изходни променливи
```

```
; AX - Измерена амплитуда
```

```
; AX = {0...4096}
```

```
; CL - Флаг за препълване
```

```
; CL = 0 - измерваната величина е в обхвата
```

```
; CL = 0FFh измерваната величина е извън
```

```
; обхвата
```

```
mov al,bl ; Установяване на обхват
```

```
shl bh,1 ; и канал за измерване
```

```
shl bh,1
```

```
shl bh,1
```

```
shl bh,1
```

```
or al,bh
```

```
and al,01111111b
```

```
cmp cl,0h
```

```
je read_1
```

```
or al,10000000b
```

```
read_1:
```

```
mov dx,PORT_ADC+1
```

```
out dx,al
```

```
; Времезадръжка (минимално 15 мкс),
```

```
; необходима за отследяване на входния
```

```
; сигнал от S/H
```

```
dec dx
```

```
out dx,al ; старт на преобразуването
```

```
; Времезадръжка, необходима за изчакване
```

```
; края на преобразуването на ADC
```

```
read_2:
```

```
in ax,dx ; изчакване
```

```
; установяването
```

```
test ax,1 ; на бита за готовност
```

```
jnz read_2
```

```
test ax,100b ; проверка за препълване
```

```
jz read_3 ; b2=0 - Overflow
```

```
mov cl,0
```

```
jmp read_4
```

```
read_3:
```

```
mov cl,0ffh
```

```
read_4:
```

```
shr ax,1
```

```
shr ax,1
```

```
shr ax,1
```

```
shr ax,1
```

```
ret
```

```
Read_ADC ENDP
```

Write_DAC PROC

```
; Подпрограма за обслужване на DAC
```

```
; Входни променливи:
```

```
; AX - Амплитуда на изходното напрежение
```

```
; AX = {0...4094}
```

```
mov cl,4
```

```
shl ax,cl
```

```
mov dx,PORT_ADC+3
```

```
out dx,al ;извеждане на
```

```
;младшата част
```

```
mov al,ah
```

```
dec dx
```

```
out dx,al ;извеждане на
```

```
;старшата част
```

```
add dx,2
```

```
out dx,al ;прехвърляне в
```

```
;регистъра на DAC
```

```
ret
```

```
Write_DAC NEDP
```

Read_DI PROC

```
; Подпрограма за прочитане на
```

```
; цифров вход
```

```
; Входни променливи:
```

```
; BX - номер на цифровият вход
```

```
; BX = {0...3}
```

```
; BX = 0ffffh - reset на цифров вход 0
```

```
; Изходни променливи:
```

```
; CL = 1 - цифровият вход е активен
```

```
; CL = 0 - цифровият вход не е активен
```

```

mov dx,PORT_ADC+3
cmp bx,0ffffh
jne read_d1
in al,dx ;reset на ц. вх. 0
clc
ret
read_d1:
and bx,011bh
mov al,cs:[pozition+bx]
dec dx
in al,dx ;прочитане на
;ц. входове
xor al,10001100bh ;инвертиране на
;b7, b3, и b2
test al,cs:[pozition+bx]
jnz read_d2
clc ;неактивен
ret
read_d2:
ctc ;активен
ret
pozition db 01000000bh
db 10000000bh
db 00001000bh
db 00000100bh
Read_DI ENDP

```

INFO

Оптически дискове

Как работят CD-ROM дисковете?

CD-ROM дисковете съхраняват информацията точно по същия начин, както и CD (компактдиска) в HI-FI техниката, само че вместо 75 минути музика, върху тях могат да бъдат поместени повече от 600 мегабайта информация. Тя може да бъде обикновен текст, SVGA графики, програми и всички други видове данни, които могат да бъдат записани и върху обикновен харддиск.

В CD-ROM диска информацията се съхранява върху тънко сребърно фолио, в оптическа форма. Данните са кодирани в последователност от битове, представени като наличие или отсъствие на вдлъбнатини върху фолиото. Сребърното покритие отразява добре светлината, а вдлъбнатините я разсейват. Лазерният лъч се фокусира върху диска и се отразява обратно към фотодатчик. Датчикът регистрира разликата между яркостите на вдлъбнатините и чистият диск.

Тъй като този метод за четене е неконтактен (за разлика от флопи устройствата), дисковете са практически неизносваеми, а грешките при четене са сведени до минимум. Поради големия капацитет, в CD-ROM дисковете могат да се отделият значителен брой байтове за служебна информация и контролни полета, чрез които да се отстраняват дори и възникнали при четенето грешки.

Музикалните и CD-ROM дисковете се изработват по един и същи начин. Първо на специална машина с мощен лазер се записва матрица. След това от нея могат да се отпечатаат множество копия. Този начин е аналогичен на четенето на монети, като принципната разлика е, че информационноносещите елементи на диска са с много-малки размери. Цената на един такъв диск е 1-2 долара. Разбира се, дисковете с информация са много по-скъпи и цената им варира от 30 до повече от 2000 долара.

Има много фактори, които допринасят за интереса към CD-ROM дисковете, но основният си остава високото съотношение обем/цена.

Привлекателни но бавни

Въпреки, че CD-ROM драйвовете са изградени на базата на лазерни и оптични технологии, не трябва да очакваме да излъчват данни от тях със скоростта на светлината. В сравнение с харддиските, CD-ROM драйвовете дават значително по-голямо време за достъп. По настоящем, един сериозно добър харддиск (например Seagate ST157A) има време за достъп около 25 милисекунди. Най-добрите съвременни CD-ROM драйвове имат времена >350 милисекунди, а обикновено повече от 500. Това означава, че първият бит от интересуващата ни информация ще бъде намерен за не-малко от половин секунда! Освен това, след намирането ѝ, информацията трябва да бъде препратена към компютъра. Тази втора стъпка е дори по дълга от намирането. Един скан с текст съдържа само около 2000 байта, но когато става въпрос за графика, байтовете могат да бъдат повече от милион. Ако компютърът, с който разполагаме, е AT286, един скан SVGA с 256 цвята ще бъде трансериран за повече от 10 секунди!

Разбира се, сравнен с търсенето на информация по класическия начин, в истински книги, CD-ROM драйвът изглежда по-привлекателно. Например търсенето на пасаж по ключова дума от 150-томна енциклопедия, би отнело само няколко секунди. За това тези драйвовете се използват при големи обеми информация, без да е критично времето за достъп.

В заключение, за тези, които се нуждаят от бързи отзорови, CD-ROM драйвовете са все пак между начините да ги получават.

(по материали на PC Direct 01.1992)

DEVICES

Ако ползвате програмирация под WINDOWS, или пък проектант, работещ с CAD система, кой е най-добрият приятел на човека, отговорният безспорно ще е - „Мишката“! И действително едва ли има устройство за бърза и удобна комуникация с компютъра толкова широко разпространено, колкото така наречената МИШКА. По въпроса дали това все пак е най-доброто средство, още има спорове, но така или иначе мишките са факт.

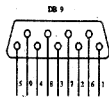
В тази статия ще ви запознаем с, може би, най-популярният тип мишки - трибутоната мишка PC MOUSE и с една от конкретните и реализации -

Genius Mouse

Мишката изпраща данни към компютъра, които съдържат информация за относителното и движение и състоянието на бутоните и: Комуникацията е само в една посока - от мишката към компютъра, което означава, че двете устройства работят съвсем независимо едно от друго.

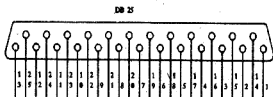
Връзката с компютъра се осъществява посредством стандартния интерфейс RS232C. В зависимост от конкретния контролер и мишка има варианти с 9 и 25 pin - об съединител. Използваните от мишката линии на RS232C интерфейса линии са:

1) 9 pin



- 2 - TxD
- 3 - RxD
- 4 - DTR
- 5 - CGD (GND)
- 7 - RTS

2) 25 pin



- 2 - TxD
- 3 - RxD
- 4 - RTS
- 7 - CGD (GND)
- 20 - DTR

Тъй като някои от тези сигнали не се използват по предназначението си, по-нататък ще обхванем специално внимание на това.

Серийният интерфейс трябва да бъде инициализиран по следния начин:

- скорост на предаване - 1200 бита/сек.
- битове за данни - 8
- стартови битове - 1
- стопови битове - 1
- контрол по четност - няма

При всяка промяна на състоянието на мишката (движение, натискане или отпускане на бутон), тя започва да предава блок от 5 байта. Първите 5 бита на първия байт са за синхронизация и съдържат поредицата „10000“. Следващите три бита от този байт отговарят на състоянието на трите бутона L, M, R (ляв, среден, десен), като при натиснат бутон битът е „0“. Следващите 4 байта съдържат две двойки числа X, Y, dX, dY, които взаимно се допълват и характеризират големината и посоката на движението на мишката. X и Y са големините на хоризонталното и вертикално относително преместване от последното състояние на мишката, а dX и dY са изменението на това преместване по времето на предаване на първите три байта от блока.

За движението на мишката се дефинира положителна и отрицателна посока. Положителна е посоката нагоре по Y и надясно по X (за разлика от много екранни координатни системи,

където положителната посока по Y е надолу). При движение в положителна посока, битове 7 (MSB) от байтове X и Y са „0“, а при движение в отрицателна „1“.

Предаваният блок от данни изглежда така:

бит	7	6	5	4	3	2	1 0
байт							
1		1	0	0	0	L	M R
2 X	X7	X6	X5	X4	X3	X2	X1 X0
3 Y	Y7	Y6	Y5	Y4	Y3	Y2	Y1 Y0
4 dX	dX7	dX6	dX5	dX4	dX3	dX2	dX1 dX0
5 dY	dY7	dY6	dY5	dY4	dY3	dY2	dY1 dY0

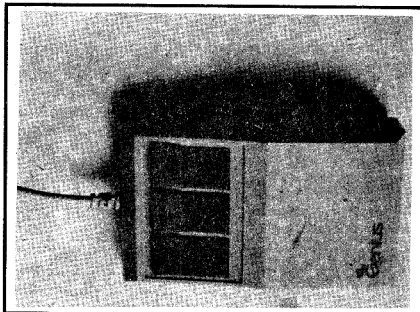
- X7;Y7 = „0“ - положителна посока (нагоре, надясно)
- X7;Y7 = „1“ - отрицателна посока (надолу, наляво)
- L;M;R = „0“ - натиснат бутон
- L;M;R = „1“ - отпуснат бутон

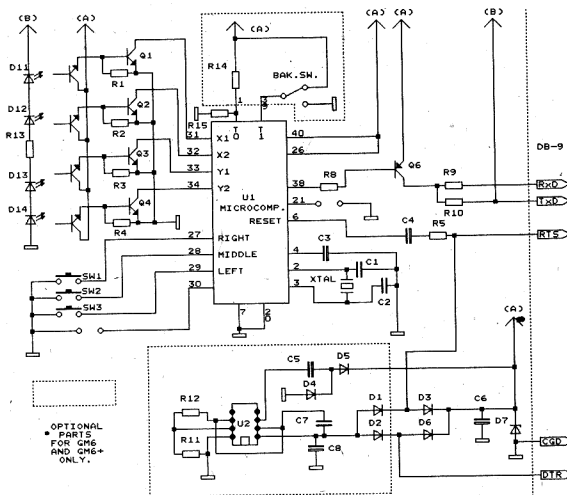
Механоелектрическият преобразувател на мишката е реализиран с едно метално плочче, обвито със силиконова гума и два фото растрови преобразувателя (ФРП). Точчето контактува с повърхността по която се движи мишката и предава движението си на две ролици, чиито оси са взаимноперпендикулярни. Роликите от своя страна са свързани с двата диска на ФРП. За по-голяма стабилност е поставена трета ролака, която притиска точчето към другите две.

Принципната схема на мишката е дадена на фиг.1.

Двата ФРП са с по две оптоелектронни двойки. Те са разположени така спрямо диска на ФРП, че когато срещу D11 има отвор, срещу D12 няма. По този начин, ако дискът се върти в една посока, импулсите постъпват на X1 ще изпревратват тези на X2 и обратно. Това е необходимо за да се следи посоката на движение.

Всички логически функции в мишката се изпълняват от едночиповия микрокомпютър U1. Пакетът от данни се буферира от Q6 и R9 и по RxD се изпраща към компютъра.





Може би най-интересната част от цялата схема е захранването и. Тъй като мишката няма отделен захранващ източник, а в изходите на серийния интерфейс няма изведено каквото и да било напрежение, то въпросът „Как въобще работи мишката?“ е съвсем резонен. Проблемът е решен нетривиално, а използваният трик може да се приложи и в други подобни устройства. Става въпрос за следното: Изходните буфери на серийния интерфейс са с голям коефициент на натоварване, при изходно напрежение +/- 12 V. Освен това доста от изходните сигнали на интерфейса не са необходими за нормалната работа на мишката (напр. DTR, TxD, RTS). Ако консумирания ток от схемата е около 10 mA, то тя може да се захранва само с един от неизползваните интерфейсни изходи.

В GENIUS MOUSE това е направено по следния начин:

Захранването е разделено на две части - A) +12 V, U1 и фототранзистори на ФРП и B) -12 V, светодиоди на ФРП. За съзласуване на нивата на едночиповия напрежение +12 V (A) се използва изходът RTS и DTR. Ако на RTS или DTR има „0“ (+12 V) то това напрежение, чрез диодите D3, D6 постъпва направо на схемата. В противен случай („1“ -12V) през диодите D1, D2 се подава захранване на мултивибратора изпичнен с U2. Променилото напрежение, генерирано от мултивибратора се изпраща от двуполупроводния изправител D4, D5, филтрира се от C6 и отново постъпва на схемата. За стабилизиране на напрежението „А“ е поставен кондензатор D7. По този начин, независимо от състоянието на RTS и DTR схемата получава захранване. Изходът RTS се използва и за начално установяване на U1 (RESET).

К. ЩереВ

hNEWS

Тошиба 486SX Notebook

Заседно със съобщението за нейния T4400, Тошиба (Irvine, CA) претендира за права върху първия 486SX компютър с размери на Notebook, за да използва 486SX чипа на Intel, в случая новия 25 MHz вариант на този чип. Седем и половина фунтовият T4400 има размери 11.7 на 8.3 на 2.2 инча. Купувачите ще имат избор: или 9.5 инчов черен LCD, или газплазмен VGA дисплей. T4400 с 60 MB хард диск и LCD има предположаема цена на дребно 5299\$. Моделът с 80 MB хард диск и LCD е с цена 5599\$, а с газплазмен екран - 5899\$. До този момент Тошиба няма готови компютри за тестване. Въпреки това, BYTE LAB benchmark изпробва върху 25 MHz 486SX, Compaq's Desqro 486s/25, показвайки, че системите, използващи новото CPU, са незначително по-бързи от 20 MHz машини. Desqro 486s/25 регистрира CPU benchmark 15 процента по-добър от онзи на Everex Step 486SX/20, и почти два пъти по-бърз отколкото Desqro 25 MHz 386 CPU. Между другото Тошиба смята, че разрешаването на проблема за нукащите се Laptop-и е в израждането на T4400 в корпус, направен от възлородна фибро пластмаса, за която се предполага, че е по-здрава от алуминия, но е по-аска.

DISPLAY

EGA (Enhanced Graphics Adapter)

*„Не го хвърляйте на лъвовете!
- заповяда Императорът - Дайте
му да нише грабери за EGA!“
(из урбедориски текст)*

Докато на времето казвахме „EGA-та контролера!“ в момента можем само да съжаляваме, че създателите на IBM графични контролери са подхождали по този начин, а не са използвали вече съществуващите графични процесори. Това, което IBM гордо е нарекла „Графичен процесор“ всъщност е многофункционален логически елемент (за разлика от MC68483).

Наистина, обслужването на този контролер се превръща в истински кошмар за програмистите, за които BIOS функциите и графичните библиотеки са прекалено бавни. Пълната безпомощност се дължи и от липсата на пълно и ясно описание, до което българските програмисти са имали достъп.

Въпреки нашето нежелание да се ровим във вече отмиралци архитектура и концепции, масовото разпространение на EGA не ни позволява да го подминаваме. Настоящата статия, която ще бъде публикувана в няколко поредни броя, няма претенции да изчерпи всички въпроси, свързани с темата. Желанието ни е тя да има по-скоро практически, отколкото описателен характер. Тъй като всеки проблем се изяснява много по-добре чрез приважване на примери, отколкото с голямо дефиниране, ще поддължим обясненията си с повече конкретни решения.

Пропушката съзнателно общите характеристиките и видео режима на контролера, понеже смятаме, че техни описания могат да бъдат лесно намерени. Ще започнем с описание на регистрите и кратки пояснения на техните функции, като концентрираме вниманието си основно върху графичните режими.

Камо функционална схема EGA се състои от четири контролера:

Sequencer (Контролер за времезадаващите сигнали)

Той генерира основните сигнали към видеопаметта: тактове за символ, тактове за точка, режим на обръщение на процесора. Чрез него се дава достъп на процесора до видеопаметта по време на правия ход на лъча чрез периодично вмъкване на изкуствени цикли между циклите на изобразяване. Той е обзавен с регистри за маскиране на отделни видеокартри при запис, което дава възможност данните в маскираните карти да бъдат защитени от промяна. Чрез този контролер се задават разположението на отделните знакогенератори, режима и конфигурацията на видеопаметта.

Graphics Controller (Графичен контролер).

Графичният контролер насочва данните от видеопаметта към контролера за атрибутите и процесора. При графичните режими данните от видеопаметта се изпращат към контролера за атрибутите, в последователен вид, а в тестовите режими в паралелен вид. Този контролер формира данните при режимите, в които се извършва съвместност с по-старите графични контролери (CGA, HERCULES, MDA). Той позволява избор между при различни метода за четене от видеопаметта. Това разнообразие в сравнение с по-старите графични контролери. Например при някои от режимите е възможно едновременно писане на 32 бита за един цикъл на паметта.

Attribute Controller (Контролер на атрибутите)

Контролерът на атрибутите обезпечава 16 6-битови регистъра за цвят, като във всеки от тях може да бъде зададен произволен цвят от 64-цветна палитра. Този контролер управлява символите атрибутите в текстов режим (мигане, подчертаване). Той излъчва данните от видеопаметта и ги формира за изобразяване. За управление на изобразяването върху дисплея са предназначени 8 цветови изхода.

CRT Controller (Контролер на Електроннолъчевата тръба)

Контролерът на EAT формира хоризонталните и вертикални синхро импулси, адресира на видеопаметта за генериране на изобразяването и опресняването ѝ, сигнала за курсора. Посредством регистрите на контролера могат да бъдат зададени параметрите на изобразяването и курсора.

Sequencer (Контролер за времезадаващите сигнали)

Регистър:

* Address Register (Адресен регистър)

Port 3c4h

Този регистър е регистър-указател и служи за адресиране на регистрите за данни на Sequencer-контролера. Той се зарежда с дъвоична стойност, представяваща индекса на съответния регистър, в който ще се записват данни.

bits 0-4: индекс на регистъра за данни, който се адресира.

bits 5-7: не се използват.

* Reset Register (Регистър за начално установяване)

Port 3c5h Index 00 Само за запис.

bit 0: Asynchronous Reset (Асинхронен ресет). Записването на лог.0 в този бит довежда до асинхронно изчистване и спиране на Sequencer контролера. Всички карди се приважват в състояние с висок импеданс. Лог.1 кара Sequencer-а да зареботи, освен ако бит 1 не е установен в лог.0. Началното установяване на Sequencer-а посредством този бит може да доведе до загуба на данни във видеопаметта.

bit 1: Synchronous Saset (Синхронен ресет). Записването на лог.0 в този бит преизвършва синхронно изчистване и спиране на Sequencer контролера. За да работи Sequencer-а трябва битове 0 и 1 да са установени в лог.1. Този бит се използва за начално установяване на Sequencer-а преди да се извършва промяна в съдържанието на Clcking Mode Register, когато е необходимо да се заплази съдържанието на паметта.

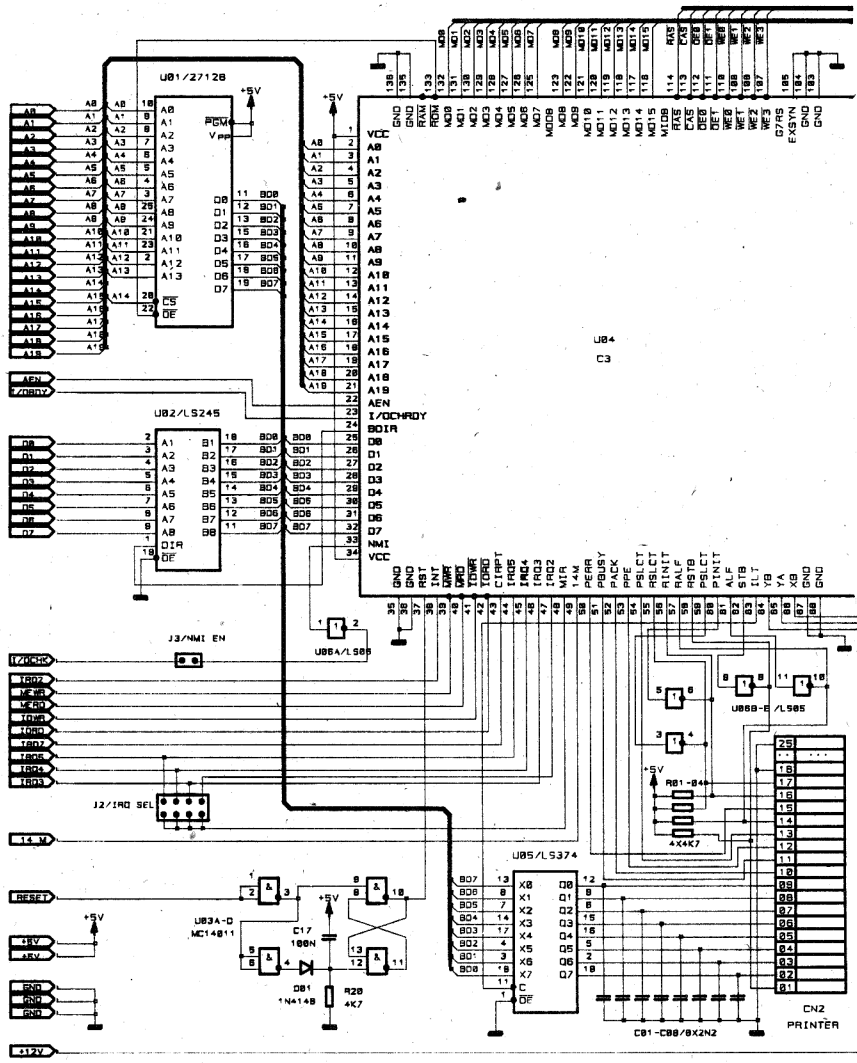
bits 2-7: не се използват

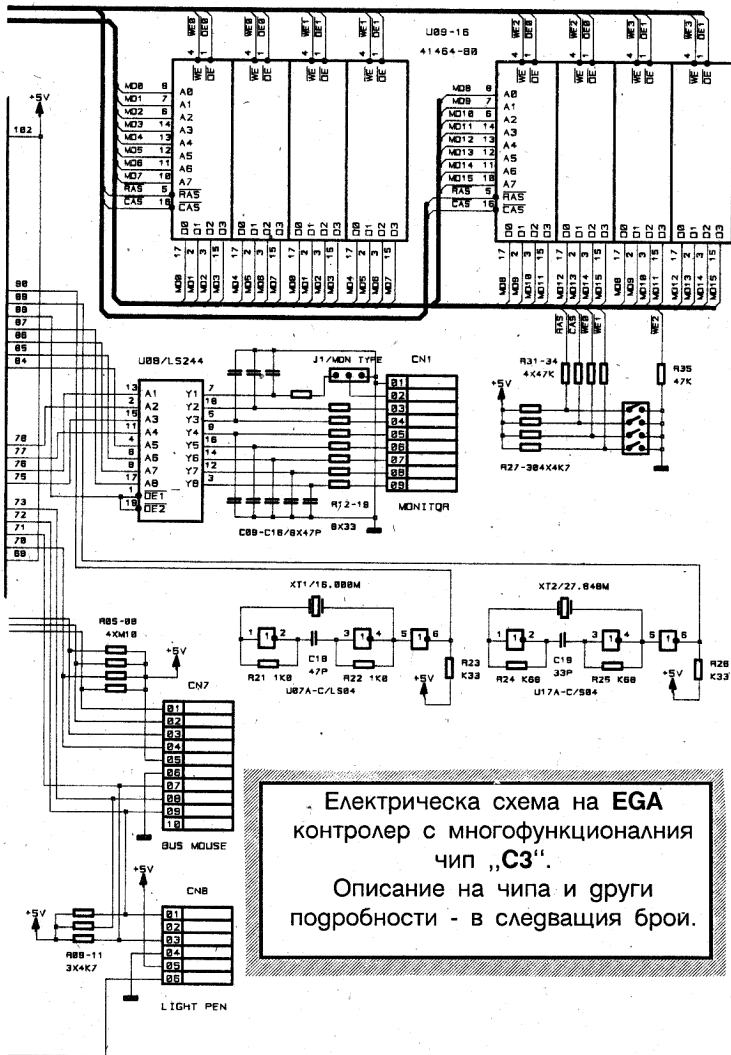
* Clcking Mode Register (Регистър за задаване на тактовете)

Port 3c5h Index 01 Само за запис.

bit 0: 8/9 Dot Clocks (тактове за символ). Записът на лог.0 в този бит кара Sequencer-а да генерира тактове с широчина 9 точки за символ, а лог.1 - с широчина 8 точки за символ. Единственият режим който използва широчина на тактовете 9 точки за символ е Монохроматичния 07h. Всички останали режими използват 8 точки за символ.

bit 1: Bandwidth (честота). Записът на лог.0 в този бит задава 4 цикъла на обръщение към видео паметта (от 5 максимално допустими), а лог.1 - 2 цикъла (от 5 допустими). При режимите със средна разрешаваща способност, по време на хоризонталния ход на лъча се излъчват по-малко данни. Това дава





- Електрическа схема на EGA
 контролер с многофункционалния
 чип „СЗ“.
 Описание на чипа и други
 подробности - в следващия брой.

на процесора повече време за достъп до видео паметта. Всички режими с висока разрешаваща способност, трябва да бъдат обесечени с 4 цикъла на обръщане, за да може видео паметта да бъде опреснявана.

bit 2: Shift Load (Зареждане с преместване). Когато се зареди с лог.0, серийните видео входове (RGB на Feature Connector-a) се зареждат на всеки символен такт, а когато се зареди с лог.1 - на всеки следващ символен такт. Този режим е полезен, когато за един цикъл се избличат 16 бита и се събързват в shift-режимистрите.

bit 3: Dot Clock (Тактове за точка). Лог.0 задава нормална тактова честота за точките, като тя се взема от главния тактов вход на Sequencer-a. Когато бита се установи в лог.1 тактовата честота за точките ще се получи като честотата на източника бъде разделена на две. Всички останали интервали ще се разлягат, тъй като те са базирани на тактовата честота за точките. Това делене на честотата на две се използва за режимите 320x200 (0,1,4,5) за да се обесечи честота 7 MHz (9 MHz за режим D).

* Map Mask Register (Регистър за маскиране на видео картите).

Port 3c5h Index 02 Само за запис.

bit 0: Enables map 0 (Разрешава видео карта 0).

bit 1: Enables map 1 (Разрешава видео карта 1).

bit 2: Enables map 2 (Разрешава видео карта 2).

bit 3: Enables map 3 (Разрешава видео карта 3).

Записът на лог.1 в битове от 0 до 3 разрешава на процесора на пише в съответните видео карти. Ако този регистър се зареди със стойност 0fh, процесорът може да избързва 32-битов запис само за един цикъл на паметта (8 бита във всяка карта). Това до голяма степен облекчава натовареността на процесора по време на циклите изобразяване-обновяване в графичните режими. Разрешаването и на четирите видео карти (0fh) може значително да ускори и операциите за „скрол“ на изображението, просто чрез изпълнение на операциите четене-запис във видео паметта, като при всяка операция четене, прочетените данни автоматично се зареждат в две вътрешните буфери за данни, а при операция запис - съдържанието на буферите за данни автоматично се копира в указвания адрес от видео паметта.

Когато се работи в режими, изискващи организация на видео адреси, подадени от тил „четен-нечетен“, карти 0 и 1 и карти 2 и 3 трябва да имат едни и същи стойности на маските.

bits 4-7: Не се използват.

* Character Map Select Register (Регистър за избор на таблиците в зн. ген.)

Port 3c5h Index 03 Само за запис.

bits 0,1: Character Map Select B (Избор на символна таблица B). В случай че бит 3 от байта за атрибути на символа в лог.0, се използва знако-генератор, намиращ се на адрес, определен от следната таблица:

битове	1	0	зн. ген.	разположение на зн.ген. в паметта
	0	0	0	първите 8K от банка 0 на вуг. карта 2
	0	1	1	първите 8K от банка 1 на вуг. карта 2
	1	0	2	първите 8K от банка 2 на вуг. карта 2
	1	1	3	първите 8K от банка 3 на вуг. карта 2

bits 2,3: Character Map Select A (Избор на символна таблица A). В случай че бит 3 от байта за атрибути на символа в лог.1, се използва знако-генератор, намиращ се на адрес, определен от следната таблица:

битове	1	0	зн. ген.	разположение на зн.ген. в паметта
	0	0	0	първите 8K от банка 0 на вуг. карта 2
	0	1	1	първите 8K от банка 1 на вуг. карта 2
	1	0	2	първите 8K от банка 2 на вуг. карта 2
	1	1	3	първите 8K от банка 3 на вуг. карта 2

В текстовите режими, нормално бит 3 от байта за атрибути на символа изпълнява функцията да включва или изключва интензивите на изобразявания символ. Този бит обаче, може да бъде дефиниран като превключвател между различните символни таблици. Функцията се активира когато съществува разлика между стойностите на полета Character Map Select B и Character Map Select A (съответно битове 0,1 и 2,3). Когато стойностите на тези две полета са еднакви, функцията за избор на знако-генератор е неактивна. Друго условие, за да може да работи тази функция в бит 1 на Memory Mode Register да е лог.1 (той показва, че разширението на видео паметта е инсталирано), в противен случай винаги се използва банка 0. При наличие на 128K графична памет могат да бъдат поддържани две символни таблици, а при 256K - четири таблици. Асинхронният Reset установява този регистър в 0.

bits 4-7: Не се използват.

* Memory Mode Register (Регистър за задаване на видео режимите на паметта).

Port 3c5h Index 04 Само за запис.

bit 0: Alpha (текст). Лог.0 показва, че в момента е активен графичен режим, лог.1 показва, че е активен текстов режим и е разрешено използването на функцията за избор на символни таблици.

bit 1: Extended memory (Разширение на видео паметта). Лог.0 показва, че не е инсталирана карта за разширение на видео паметта, а лог.1 показва, че разширението е инсталирано и достъпът до разширението се осъществява посредством адресните шини 14 и 15.

bit 2: Odd/even (режим четен-нечетен). При лог.0 четните адреси, подадени от процесора се насочват към видео карти 0 и 2, а нечетните - към видео карти 1 и 3. При лог.1 адресите се разполагат последователно в цялата видео памет. Достъпът до видео картите се определя от стойността на Map Mask Register.

bits 3-7: Не се използват.

Graphics Controller (Графичен контролер). Регистри

* Graphics 1 Position Register (Графична секция 1).

Port 3c3h Само за запис.

bit 0: Position 0.

bit 1: Position 1.

Тези два бита представляват двоично кодирани йерархични битове на графичните чипове, а този регистър определя за кои два бита от шините за данни отговаря всеки чип. За EGA контролера те трябва да съдържат 00.

bits 2-7: Не се използват.

* Graphics 2 Position Register (Графична секция 2).

Port 3c3h Само за запис.

bit 0: Position 0.

bit 1: Position 1.

Тези два бита представляват двоично кодирани йерархични битове на графичните чипове, а този регистър определя за кои два бита от шините за данни отговаря всеки чип. За EGA контролера те трябва да съдържат 01.

bits 2-7: Не се използват.

* Graphics 1&2 Address Register (Адресен регистър за графични секции 1 и 2).

Port 3c0h Само за запис.

Този регистър служи за адресен указател към регистрите за данни на Graphics контролера. През изходен порт 3c0h се избързва зареждането на адресния регистър и за двата порта едновременно. Той се зарежда с двоична стойност, представляваща индекса на съответния регистър за данни.

- bits 0-3: индекс на data-регистъра, който се адресира.
- bits 5-7: не се използват.

* Set/Reset Register (Регистър за задаване на режим Set/Reset).
Port 3c1h Index 00 Само за запис.

- bit 0: set/reset bit 0
- bit 1: set/reset bit 1
- bit 2: set/reset bit 2
- bit 3: set/reset bit 3

При режим на писане Set/Reset тези битове задават стойностите, които се записват в съответните видео карти, т.е. задават цвета при запис във видео паметта. За да е възможно писането чрез режим Set/Reset е необходимо да са изпълнени следните условия:

1. Режим Set/Reset да бъде разрешен за отделните видео карти (чрез регистър Enable Set/Reset).
2. Да бъде зададен режим на писане 00 (битове 0 и 1 от Mode Register).

- bits 4-7: Не се използват.

* Enable Set/Reset Register (Регистър за разрешаване на режим Set/Reset).

Port 3c1h Index 01 Само за запис.

- bit 0: enable set/reset bit 0 (Разрешава видео карта 0)
- bit 1: enable set/reset bit 1 (Разрешава видео карта 1)
- bit 2: enable set/reset bit 2 (Разрешава видео карта 2)
- bit 3: enable set/reset bit 3 (Разрешава видео карта 3)

Тези битове разрешават Set/Reset функцията за отделните видео карти. Козато режимът на писане е 00 (Mode Register) в съответните видео карти се записва стойността на Set/Reset регистъра. Козато режимът на писане е 00, но Set/Reset е забранен за дадена видео карта, в нея се записват данните от процесора.

- bits 4-7: Не се използват.

* Color Compare Register (Регистър за задаване на цвят за сравнение).

Port 3c1h Index 02 Само за запис.

- bit 0: color compare 0 (Бит 0 от цвета за сравнение)
- bit 1: color compare 1 (Бит 1 от цвета за сравнение)
- bit 2: color compare 2 (Бит 2 от цвета за сравнение)
- bit 3: color compare 3 (Бит 3 от цвета за сравнение)

Чрез тези битове може да бъде зададен 4-битов цвят за сравнение. Ако за графичните чипове е зададен режим на четене 01 (Mode Register), при четене от видео паметта, резултата който се връща представлява логическо сравнение между прочетените данни и зададения цвят за сравнение (1 за всеки пиксел, за който съдържанията на 4-те видео карти съвпадат със стойности те на съответните битове от Color Compare Register, и 0 - ако не съвпадат).

- bits 4-7: Не се използват.

* Data Rotate Register (Регистър за ротиране на данните).

Port 3c1h Index 03 Само за запис.

- bit 0: rotate count 0
- bit 1: rotate count 1
- bit 2: rotate count 2

Чрез тези битове се задава коефициента на ротация на данните, които се записват във видео паметта. Ротацията се прилага едновременно, ако е зададен режим на писане 00 (Mode Register). За да не бъдат ротирани данните, коефициента на ротация трябва да бъде 0.

bits 3-4: Function Select (Избор на логическа функция).

Данните, които процесорът записва в паметта могат чрез изпълнението на някои логически функции да бъдат комбинирани със съдържанието на вътрешния буфер за данни. В състояние на това във видео паметта ще бъде записан резултата от изпълнението на лог. функция върху данните от процесора и съдържанието на буфера. Лог. функции се дефинират в съответствие със следната таблица:

Бит	4	3	Описание
0	0	0	Във видео паметта се записват директно данните от процесора, без да бъдат модифицирани.
0	0	1	Във видео паметта се записва резултата от изпълнението на лог. операция AND между данните от процесора и съдържанието на вътрешния буфер за данни.
1	0	0	Във видео паметта се записва резултата от изпълнението на лог. операция OR между данните от процесора и съдържанието на вътрешния буфер за данни.
1	0	1	Във видео паметта се записва резултата от изпълнението на лог. операция XOR между данните от процесора и съдържанието на вътрешния буфер за данни. Източникът на данни (единият от операндите на лог. функция) се определя от режима на писане (Mode Register). Може да бъде използван кой да е от допустимите източници, с изключение на вътрешния буфер за данни. Ако е зададен коефициент на ротация различен от 0, данните първо се ротираат и след това се изпълнява лог. функция върху тях.

- bits 5-7: Не се използват.

* Read Map Select Register (Регистър за избор на видео карта за четене).

Port 3c1h Index 04 Само за запис.

bits 0-2: Чрез тези битове се задава двоично кодирана номер на видео картата, от която процесорът ще чете. Този регистър не оказва влияние върху резултата от операцията четене със съвпадане на цвета (Color Compare Register).

- bits 3-7: Не се използват.

* Mode Register (Регистър за задаване на режимите за четене и писане).

Port 3c1h Index 05 Само за запис.

bits 0-1: Write Mode (Режими за запис).

Бит	1	0	Описание
0	0	0	Във всяка видео карта, за която режимът Set/Reset е забранен се записват данните от процесора, като преди запис те се модифицират в зависимост от съдържанието на Data Rotate Register (ротиране, прилагане на лог. функции). Във всяка от видео картите, за които режим Set/Reset е разрешен се записват по 8 бита със стойността, зададена от съответстващата на видео картата бит от Set/Reset Register.
0	1	1	Във всяка видео карта се записва съдържанието на вътрешните буфери за данни. Тези буфери се зареждат автоматично при всяка операция четене от видео паметта.
1	0	0	Във видео карта n (от 0 до 3) се записват 8 бита от стойността на бит за данни n.
1	1	1	Невалидна комбинация.

bit 2: Test condition (Тестово състояние). Лог.1 поставя изходите на Graphics Controller-а във високо импедансно състояние, за пробивждане на тестове.

bit 3: Read mode (Режими на четене). Когато този бит съдържа лог.0 процесорът прочита данните от видео картата, разрешена за четене от регистър Read Map Select, когато съдържа лог.1 прочита резултата от сравнението на четирите видео карти с регистър Color Compare.

bit 4: Odd/Even (Четен/нечетен). Лог.1 избира режим за адресиране на видео паметта от тил четен/нечетен. Тази функция е удобна за използване, когато е необходим да се емулират режимите на Color/Graphics Adapter-а. Нормално стойността на този бит съвпада с тази на бит 2 от Memory Mode Register на Sequencer контролера.

bit 5: Shift Register (Управление на Шифт регистъра). При наличие на лог.1 в този бит, shift регистрите на графичните чипове формират последващия последователен поток от данни по следния начин: данните съдържащи се в четните битове се насочват към картите с четни номера, а нечетните битове - към нечетните карти.

bits 6,7: Не се използват.

* Miscellaneous Register (Регистър с общо предназначение).

Port 3c3h Index 06 Само за запис.

bit 0: Graphics mode (Графичен режим). Този бит контролира адресирането в текстов режим. Лог.1 задава графичен режим. Когато е зададен графичен режим, вътрешните адресните буфери на знаковия генератор се забравяват.

bit 1: Chain Odd Maps to Even (Свързване на нечетните карти към четните). Наличието на лог.1 в този бит води до следното: адресния бит A0 се заменя от адресен бит A1, посредством стойността A0 (0/1) се избират съответно четните или нечетните видео карти.

bits 2,3: Memory Map (Видео Карти). Тези битове контролират разположението на видео паметта в адресното пространство.

bit	3	2	
	0	0	A000h за 128К байта
	0	1	A000h за 64К байта
	1	0	B000h за 32К байта
	1	1	B800h за 32К байта

Ако Видео паметта е разположена на адрес A000h при 128К байта, в системата не може да бъде инсталиран друг видео адаптер.

bits 4-7: Не се използват.

* Color Don't Care Register (Регистър за маскиране на отделни видео карти при режим на четене Color Compare).

Port 3c3h Index 07 Само за запис.

bit 0: don't care color plane 0 (Маскира видео карта 0)
bit 1: don't care color plane 1 (Маскира видео карта 1)
bit 2: don't care color plane 2 (Маскира видео карта 2)
bit 3: don't care color plane 3 (Маскира видео карта 3)

Наличието на лог.1 в някои от тези битове забранява съответните видео карти за режим на четене Color Compare, т.е. при режим на четене със сравняване съдържанието на тези видео карти не се взема под внимание.

bits 4-7: Не се използват.

* Bit Mask Register (Регистър за маскиране на отделните битове от видео паметта).

Port 3c3h Index 08 Само за запис.

bits 0-7: Bit Mask. Този регистър се използва за маскиране на отделни битове от клетката, в която се пише. Битовите съдържащи лог.0 забраняват писането в съответните битове от клетките в 4-те видео карти, а тези съдържащи лог.1 разрешават писането в съответстващите им битове от клетките. „Имунизбрането“ на отделни битове от дадена клетка срещу запис (чрез лог.0) е ефективно единствено при условие, че последната прочетена клетка е именно клетката в която предстои да се пише (т.е. съдържанието ѝ е копирано в буфера за данни). Общо казано, процедурата за запис на данни във видео паметта с маскиране на отделни битове от клетката в която се пише е следната:

1. Подготовка на Bit Mask Register (нулите маскират съответните битове от клетката, в която ще се пише, а единиците разрешават запис в тези битове).

2. Извършва се (фуктивна) операция четене от клетката в която ще се пише. При тази операция вътрешните буфери за данни автоматично се зарежда със стойността на прочетената клетка.

3. Извършва се операция запис в клетката. При това в битовите от клетката, които са маскирани автоматично се копират съответните битове от вътрешните буфери за данни (т.е. съдържанието им се запазва), а в битовите разрешени за запис се записват данните от процесора.

(следва)

В следващия брой ще продължим с разпределение на видеопаметта и примери за обслужване. Ще илюстрираме трите режима на запис във видеопаметта.

C.СлавоВ

hNEWS

Залеяния се чипове

„Dallas Semiconductor“ разработва чип RAM, който би могъл да бъде записан навсякъде. Новият DS199 Touch Memory представлява споманен корпус, наречен Microspan, който е намазан с тънък неразрушим слой лепило. Металния корпус служи и като изповод за електрическите контакти. Тези чипове биха могли да се използват дори и само като един вид „штрихкод“, но те очевидно носят по-голяма полза от простото маркиране. Чиповете са програмируеми и са с капацитет до 4кв.

Модем 2400+

С техния нов Модем 2400+, Intel дава преимущество на новата PCMCIA спецификация за PC карти, предлагащи Модем, който е малко по-голям от кредитна карта. Intel предлага два модела от 2400-bps Hayes съвместим MNP апарат: един за Съединените щати (Канейдиън маркет) и един за Япония. Моделът има линсен адаптер, който е връзка между картата и телефонната линия. Адаптерът е снабден с малък плосък контакт, чрез който се зареждат акумулаторите му от мрежата.

DEVICES

6805P3

КЛАВИАТУРА

ХАРДУЕР

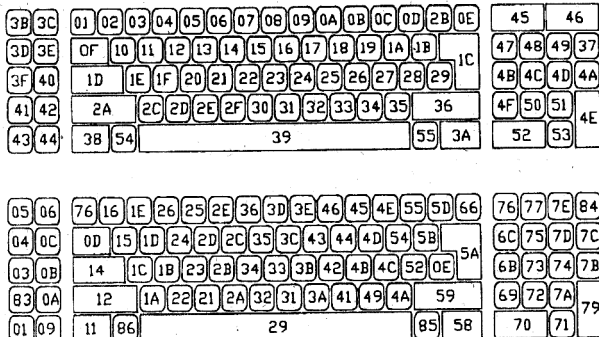
Както се вижда от схемата на фиг.1 клавиатурата е едно обикновено микропроцесорно устройство. Използваният процесорен елемент е едночиповия микрокомпютър MC 6805 (CM 650). Някои клавиатури се изграждат и на класически микропроцесори. Поради голямата си функционална гъвкавост и ниската цена обаче, клавиатурите с едночипови микрокомпютри са получили най-широко разпространение.

В конкретната схема, освен CPU, има само още един интегрален елемент - дешифратора 74145, чрез който се осъществява сканирането на клавиатурната матрица. Минималният брой използвани елементи, освен ниската цена, са фактор и за високата надежност на електрическата схема.

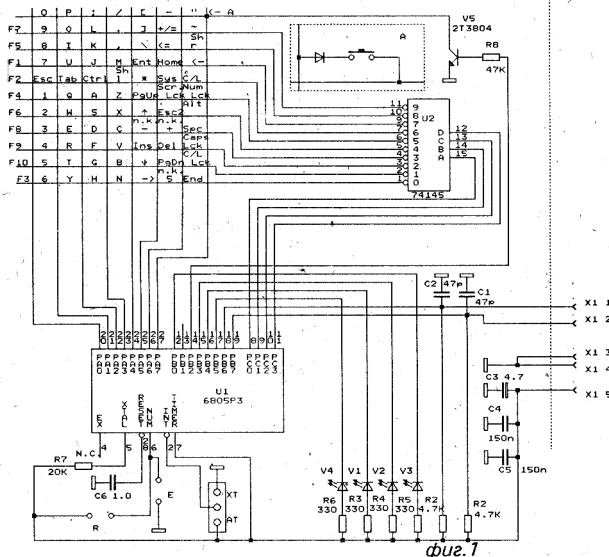
MC 6805 е свързан

стандартно. Каналите А и С на периферните му паралелни интерфейси участват в схемата за сканиране на

клавиатурната матрица. Сканирането се извършва на около 100 мкс. Канал В осъществява връзката на клавиатурата с компютъра и управлението на осветнените индикатори. Като основен можем да отбележим използването на входовете INT и NUM за



фиг.2



фиг.1

Продавам

9 броя RAM чипове 511000 (1МВ) с време за достъп 80нс. Паметите са подходящи за IBM PC/XT juco, IBM PC/AT и гр. Цена(за деветте чипа): 1250 лв.

Инвертор (Zircu, USA) два броя технически данни:
 Входно напрежение: 11-14V
 изходно напрежение: 220-240V
 мощност: 100W
 размери: 11x8x4 см.
 Подходящи за леки автомобили.
 Цена(за един брой): 3900 лв.

Варна, тел. (052) 23-33-22 (или на телефоните на редакцията.)

регистрация на положението на джъмперите за избор на XT/AT и 85/87 бутонна клавиатура. Линиите PB6 (DATA) и PB7 (CLOCK) са двупосочни. В единият случай, когато клавиатурата изпраща данни към компютъра, по CLOCK се предават синхронизиращите импулси, а по DATA данните. В обратната посока по линията CLOCK се предава сигнал за начало установяване на клавиатурата, а по DATA - сигнал за готовност за приемане.

Форматът и времеви диаграмите на предаваните данни от клавиатурата е даден на фиг.3. По линия DATA първо се изпраща т.нар. маркерна единица. След нея следват 8 бита полезна информация. Първите седем (b0-b6) от тях съдържат сканкода на клавиша променлив състоянието си. Последният бит (b7) указва дали даденият клавиш е бил натиснат или отпуснат. b7=0 е сигнал за натиснат клавиш, а b7=1 - за отпуснат. Сканкодовете на двата типа клавиатури са дадени на фиг.2.

Електрическата връзка между компютъра и клавиатурата се осъществява по петпроводен кабел със съединител САБ (DIN петшица). На фиг.4 е показано разположението на сигналите по изводите на съединителя.

ФУНКЦИИ

При включване на захранването компютърът задържа PB6 (CLOCK) в „0“ за време по-голямо от 20ms. Това се възприема от клавиатурата като

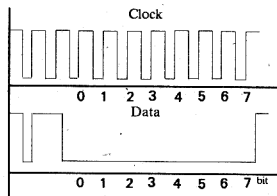
сигнал за начално установяване. Най-напред CPU изпълнява програма за проверка изправността на клавиатурната матрица. При пълна изправност (няма блокирани клавиши), към компютъра се изпраща кодът AAh. Всеки друг код се идентифицира от BOOT секцията на BIOS като неизправна или липсваща клавиатура. След това схемата преминава в нормалните си два режима на работа - сканиране на клавиатурната матрица и предаване на сканкода към компютъра. В установено състояние, когато не се предава байт, линията CLOCK се установява в „1“, а DATA в „0“

След приемане на осемте бита, компютърът установява DATA в „0“. Това състояние се идентифицира от клавиатурата като „заето“ и невъзможност от страна на компютъра да приеме нов байт. Ако в този момент се натисне (отпусне) клавиш, то информацията за него се съхранява в RAM буфер на MC6805. В повечето клавиатури този буфер може да побере до 20 байта.

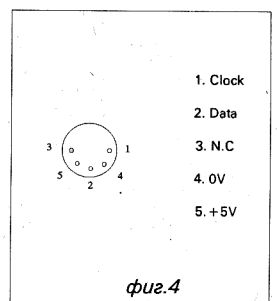
Една от полезните функции е серийното изпращане на сканкода на натиснатия клавиш, ако той е бил натиснат за повече от 0,5 s. Повторението се извършва на интервали от около 100 ms до отпускане на клавиша.

К.Щерев

*Става въпрос за двата типа клавиатури - с 85 и 87 клавиша, производство на MT&T - Превак, (Б.А.)



фиг.3



фиг.4

ТЕТРОНИК - представител на UNIPALM Ltd. в България

Предлага:

мрежов софтуер - PC-NFS, PC/TCP+, LAN WATCH, PC-XVIEW16, X11/AT, X/TECH X/MOTIF, които обслужва връзките между различни компютърни системи и приложения, обхващащи широк спектър от мрежови архитектури.

За:

Операционни системи - MSDOS, OS/2, UNIX, VAX-VMS
 Мрежи - Ethernet, Token Ring, X.25
 Протоколи - TCP/IP, NFS, XNS, OSI, DECnet, Netbios
 Приложения - XWINDOWS, Terminal emulation, file transfer, e-mail, database

ТЕТРОНИК

9000 - Варна ул. "Цани Гинчев" N 6 ап.10
 тел.:(052) 45-29-30, 44-73-26
 факс:(052) 23-12-57

Ако ви интересуват изданията на:

McGRAW - HILL International Publications Co.
BYTE, UNIX WORLD, ELECTRICAL WORLD
 и мн. други

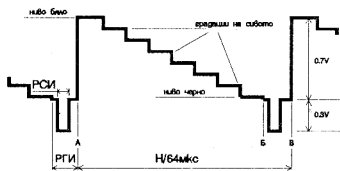
Упълномощен представител за България -

Невяна Жожидарова
 9000 - Варна,
 ул. "Ц.Гинчев" N 6 ап.10
 тел. (052) 82-25-41

DISPLAY

TV синхрогенератор за черно-бяло изображение

Ако вие имате интереси в областта на телевизията (TV), не може да не знаете какво представлява този сигнал (фиг 1).

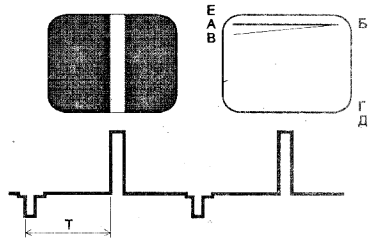


фиг. 1

А за тези които не знаят, ще имат възможност да научат (и не само това). В една поредица от няколко статии ще се опитам да ви разкажа нещо повече за черно-бялия и цветен TV сигнал. Ще ви покажа някои най-елементарни схеми за генерирането на телевизионен сигнал, т.е. вие ще можете да „рисувате“ на екрана на вашата телевизионен приемник или монитор. Ще можете да генерирате както статично, така и движещо се изображение. Ще знаете как да насложите черно-бяла компютърна графика на вашата видео филм. Ще ви запозная и с аналогичните проблеми при цветната графика PAL и SECAM.

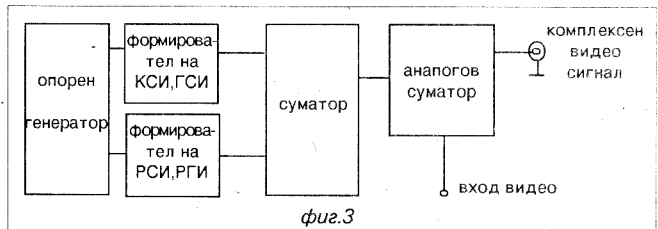
И така - какво представлява телевизионната развивка? За разлика от киното, TV изображението се „рисува“ точка по точка от един електронен лъч. Той се движи по начина, по който ние четем книга. Започва от горния ляв ъгъл и тръгва на дясно. Тогава той „рисува“, а ние четем (от т.А до т.Б фиг. 2), това е времето на правия ход на лъча. Когато стигнем края на реда ние си „затваряме“ очите за да

опишем в началото на следващият ред (от т.Б до т.В). В TV това се нарича обратен ход на лъча по редове. След като съберем времето на правия и обратния ход по редове получаваме периода на един ред 64 мкс. В TV се бележи с H. За нашия стандарт (OIRT) честотата на хоризонталната развивка е 15625 Hz (64 мкс), 625 реда в кадър, презредовата развивка и 50 Hz полукадрова честота (20мс). При използване на презредовата развивка се работи с два пъти по малка честотната лента на видео сигнала, при запазване броя на точките в ред. Когато стигнем края на страницата ние си „затваряме“ очите за да стигнем до началото на следващата - обратен ход на лъча по кадри, от т.Д до т.Е. Времето от т.Е до т.Д е прав ход по кадри. И така, кадър след кадър. Интензивността на електронния лъч пък



фиг. 2

определя цвета на точката върху екрана, от бяло до черно през градациите на сивото. Графиката на фиг. 1 представлява осцилограмата на комплексен черно-бял TV сигнал на един TV ред, когато на екрана виждаме 8 вертикални ивици. Така изглежда



фиг. 3

изпитателната таблица на II програма на БТ, гледана на черно-бял TV приемник. Амплитудата на видео сигнала е 1V от връх до връх, като 30% е за синхро импулсите. По този признак те се отделят

от комплексния TV сигнал. Останалите 70% са за видео информация.

Ето пример как можем да генерираме една бяла Вертикална ивица. Първо ни трябва двата сигнала за синхронизация. РСИ редови синхро импулс и КСИ кадрави синхро импулс, за да „пускат“ лъча в началото на реда и кадъра. Време Т (фиг 2) след предния фронт на РСИ подаваме ниво „бяло“. И така на всеки ред до края кадъра. Ако това се повтори много кадри, на екрана ще видим Вертикална бяла ивица. Ако като видео информация има честота с период по-малък от 64мкс на екрана ще видим Вертикални ивици, а ако периода е по голям от 64 мкс ще наблюдаваме хоризонтални ивици.

И така един реален синхрогенератора?

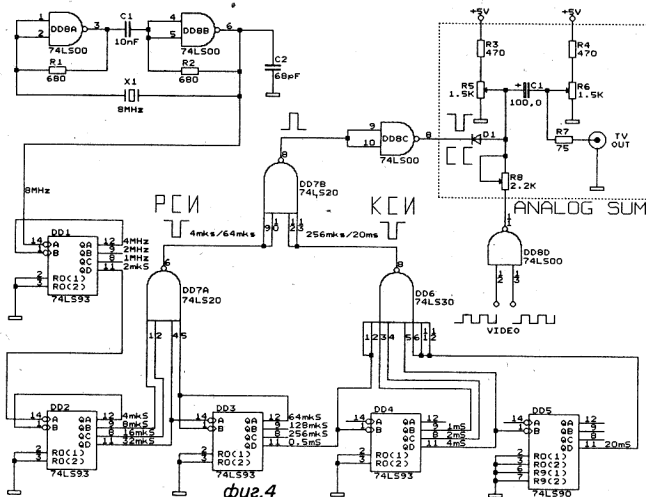
Бързам да ви предупредя, че не е съвсем по стандарта описан по горе, но е достатъчен за генериране на черно-бяло изображение. Ето ви съвсем обобщена блокова схема на синхрогенератора (фиг. 3). За сега ще оставим РГИ и КСИ, те няма да ни трябват. Опорният генератор (фиг. 4) е на 8MHz. От него чрез делене се формират РСИ и КСИ. Делителят е реализиран от 4 четирибитови брояча LS93 (DD1..DD4) и един десетичен брояч LS90 (DD5). DD1..DD3 делят на 16, DD4 дели на 8, а DD5 на 5. С четириходово „И-НЕ“ LS20 (DD7) получаваме РСИ. Той е с период 64 мкс (15625Hz) и продължителност 4 мкс. Осемходовия „И-НЕ“ LS30 (DD6) е свързан като 5-ходов и формира КСИ. Той е с период 20 мс (50Hz) и продължителност 256 мкс елемент. КСИ и РСИ чрез четириходовият „И-НЕ“ LS20 (DD7B), свързан като дВухходов и дВухходовия „И-НЕ“ LS00 (DD8C) свързан като инвертор, формират СС. Така полученият сигнал постъпва на аналогов суматор през диода D1 където се сумира с видео информацията. Видео сигнала минава през дВухходово „И-НЕ“ LS00 (DD8D) буфер и смесител. Чрез R8 се регулира съотношението видео сигнала/синхроимпулси, съответно 7/3. CR5 се регулира размаха на комплексния видео сигнал (КВС). Постоянно токовото отместване се задава с R6. Изходното съотношение на синхрогенератора е 75 ома.

Във Вертикална посока нашият генератор ще има възможност да изработва 320 реда (8x8x5). От тях полезни са 295, защото 25 са за КГИ. Синхрогенераторът работи с прогресивна разбивка, защото РСИ остава с постоянна фаза, по отношение на КСИ.

Ако свържете 12 извод на DD8 с 8 извод на DD2 (16мкс), ще наблюдавате на екрана 8 редуващи се черни и бели вертикални ивици всяка с продължителност 8 мкс. Хоризонтални ивици (8 редуващи се) ще видите ако свържете 11 извод на DD4 и 12 на DD8.

За шахматно поле ви трябва 74LS86 (изключващо „ИЛИ“). Единият вход свържете към DD2 извод 8, а другия към 11 извод на DD4. Изхода на 74LS86 свържете към Входи 12 и 13 на DD8. На вас оставаме да реализирате и други ефекти. „Решетка“ например. Ако постигнете нещо, което мислите, че е интересно, обадете се на редакционните ни телефони. И късмет...

Ралф Д.



фиг. 4

MOTHERBOARD

Статията започва обещаното описание на IBM PC/AT 286. В няколко броя поред ще ви запознаем с основните функционални и логически структури на този компютър, както и с друга информация, необходима за добиване на по-пълна представа за него. Темите не са последователно-логически свързани и могат да бъдат разглеждани самостоятелно.

IBM PC/AT 286

Сигнали на входно-изходните съединители (AT BUS)

SA0-SA19 (I/O)

Системна адресна шина. Заедно с LA17-LA23 позволяват адресиране на 16 Мбайта памет. SA0-SA19 се извеждат към системната шина по време на високо ниво на BALE и се стробират по падащата му фронт, оставяйки валидни до края на цикъла на шината. Сигналите се изработват от микропроцесора или DMA-контролера на системата, но е предвидена възможност за пряко управление на шината от устройствата, включени на входно-изходните съединители.

LA17-LA23 (I/O)

Старши адреси на системната шина. За разлика от SA0-SA19, те не се стробират на системната платка и не са валидни през целия цикъл на шината. За да бъдат използвани за адресна дешифрация, трябва да се запишат в latch-резистор (напр. 74LS373/573), управляван от сигнала BALE.

CLOCK (O)

Тактов сигнал на микропроцесора. Предназначен е за синхронизация, не се препоръчва използването му в случаи, изискващи фиксирана честота.

Reset DRV (O)

Нулиране/рестарт на системата. Активното ниво на сигнала в лог. „1“.

SD0-SD15

Системна шина за данни. Използва се от паметите и входно-изходните устройства, D0 е младшият разряд. 16-разредните устройства използват цялата шина при обмен; 8-разредните устройства използват D0-D7. При запис на дума (16 разряда) в 8-разредно устройство цикълът на шината се удължава от логиката на системната платка, а във вх.-изх. устройство се извършват два последователни цикъла на запис: D0-D7 на четен адрес и D8-D15 на нечетен адрес.

BALE (O)

Буферизиран сигнал „ALE“ (Address latch enable). Изработва се от системния контролер 82288 и се използва за стробирание на адреса. За разлика от аналогичния сигнал на PC и PC/XT BALE се изработва

и по време на цикъл на шината, иницииран от DMA-контролера.

-I/O CH CK (I)

„I/O channel check“ информира системата за грешка по четност в паметта на входно-изходните съединители или други некоректируеми грешки в устройствата. Активното ниво на сигнала е лог. „0“; трябва да бъде изработен от ИС с отворен колектор или с три изходни състояния.

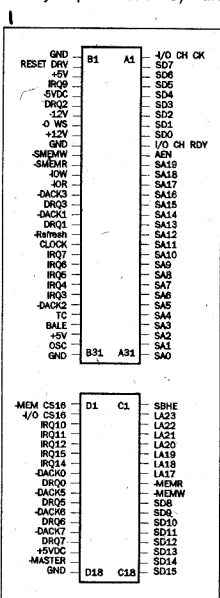
-I/O CH RDY (I)

Сигналят „I/O channel ready“ удължава текущия цикъл на шината. Може да се използва от памет или входно-изходно устройство, като се изработи от ИС с отворен колектор или с три изходни състояния. За удължаване на цикъла всяко устройство, открило собствения си адрес и команда за четене или запис, трябва да свали сигнала в „0“ и да го задържи в това състояние, докато разположи валидни данни върху шината (при четене от устройството) или докато премине в

готовност да получи данни от шината (при запис). Не се препоръчва сигналът да се задържа в „0“ повече от 2.5 микросекунди.

IRQ 3-7, 9-12, 14, 15 (I)

Сигнали за заявяване на прекъсване. Заявките се приоритизират в две групи: IRQ 9-15 с по-висок приоритет, и IRQ 3-7 с по-нисък. Най-висок приоритет в групите имат съответно IRQ 9 и IRQ 3. Заявка за прекъсване се разпознава след преминаване на съответната линия от „0“ в „1“; свалянето на заявката трябва да се извършва от обслужващата програма. IRQ



8 и IRQ 13 се използват на системната платка.

-IOR (I/O), -IOW (I/O)

Сигнали за четене (I/O Read) и запис (I/O Write) за входно-изходни устройства. Могат да бъдат изработени от системната платка или от устройствата на вх.-изх. съединители. Сигналите са с активно ниско ниво (лог „0“).

-MEMR (I/O), -MEMW (I/O)

Сигнали за четене (Memory Read) и запис (Memory Write) за паметта. Могат да бъдат изработени от системната платка или от устройството на вх.-изх. съединители. Когато такова устройство трябва да извърши четене или запис в паметта, то трябва да формира валидни адресни сигнали поне 1 период на сигнала CLK преди активиране на MEMR или MEMW. Сигналите са с активно ниско ниво (лог. „0“)

-SMEMR (O), -SMEMW (O)

Сигнали за четене/запис за паметта. Изработват се съответно от -MEMR/-MEMW за адрес, разположен в първия 1 Мбайт от адресното

пространство на системата. Могат да бъдат активирани от микропроцесора или DMA-контролера на системната платка.

DRQ 0-3, 5-7 (I)

Сигнали за заявяване на обмен чрез DMA. Заявките се приоритизират, като DRQ 0 има най-висок приоритет, а DRQ 7 - най-нисък. Заявките се разпознават при преми-наване на съответната линия от „0“ в „1“ и трябва да бъдат задържани в това състояние до получаване на съответното потвърждение за обслужване (DACK). Сигналите DRQ 0 - DRQ 3 предизвикват прехвърляне на данни с ширина 1 байт, а DRQ 5 - DRQ 7 - на данни с ширина 2 байта (1 дума), започващи от четен адрес.

-DACK 0-3, 5-7 (O)

Сигнали за потвърждаване на DMA-цикъл за съответните канали. Активното им ниво е ниско (лог. „0“).

AEN (O)

Сигналят „Address Enable“ се използва за (следва на стр.30)

hNEWS

Mitsubishi Electric U.K. (Hertfordshire, U.K.) смята да разработва най-тънкия 3.5 инчов флопи драйв. Новия MF355E драйв е само 14.8 мм висок и е с 0.2 мм по-тънък от Citizen флопи драйв, който беше най-тънкия известен досега. Макар, че 0.2 мм по-малко е едва ли звучи като значително научно постижение, този драйв е много по-различен от останалите драйв-устройства. Освен, че е по-тънък, устройството използва непосредствен дъвкател, вместо трансмисионно-ремъчно задвижвана ос. Тънкият флопи драйв обикновено оперира посредством ремъчен механизъм, който свързва драйв мотора с оста на драйва и по този начин моторът стои по-добре в задната част на устройството, отколкото в горния му край. Макар, че ремъчния механизъм работи с всякакви дискови формати от 1.44MB, той не може да работи с новия 2.88MB флопи дисков формат, който IBM въведе през 1991 година. За да се постигне максимална плътност на данните, бързина и удачно местоположение на главата трябва да има по-акуратен контрол, отколкото е възможно да се осъществи с трансмисионно-ремъчно задвижвана ос. Даже ако Mitsubishi драйвът може да пише само до 1.44MB флопи дискове, включването на непосредствен драйв мотор означава, че ще бъде възможно производството на 2.88MB флопи драйв със същата конфигурация.

Тъй като върху шасито няма мотор разположен по протежение на драйв устройството, цялостната дебелина на елементата (96 мм) е по-малка, отколкото на другите тънки флопи дискове. Когато съпоставим със съществуващите размери на диска (90 мм на 93 мм), този драйв (96мм на 125мм) е забележително компактен.

Mitsubishi настоящият разпространява образци с естествена големина от новите драйв устройства, които се очакват след началото на октомври, 1991 година. Компанията очаква също, че ще прати образци от новия миниатюрен 10 мм драйв през първата четвърт на 1992 година.

RISK electronics Ltd.

Computers

**Professional
Videosystems**

**Development
Systems**



1113 - Sofia 125 "Trakla" Biv., bl. 26 B
Tel.: (02) 755 041 Fax: (02) 700 478

CHIP

ФАМИЛИЯ 68xxx

М68xxx - многофункционални процесори.

За проектантите на най-модерните микрокомпютърни системи микропроцесорната фамилия М68xxx няма нужда от преставане. Продуктите, основани на нейните членове са се превърнали в стандарт за системите използвайки UNIX и за CAD/CAM работните станции. Те навлизат в проектите за следващите поколения персонални компютри и цветни графични станции, намират широко приложение в многопотребителските и многозадачни системи. М68xxx се използва във водещи продукти, изискващи висока производителност и паралелна обработка, те са предночистителните компоненти за задвижваната с изкуствен интелект, където се изискват големи възможности за линейно адресиране, също приложения включващи графики, цифрови контролери, роботи, телекомуникационни преключватели, системи за обработка и предаване на говор.

Съвместимост.

Фамилията М68xxx се състои от серия процесори, основани на набор от 32 битови регистри, голямо линейно адресно пространство, набор от прости, но мощни команди и гъвкави режими на адресиране. Вътрешната архитектура на 8, 16, 32 битовите верси и общия набор от команди обезпечава софтуерна съвместимост и дава възможност за лесна адаптация на продукти, писани за по-старите процесори.

Периферии.

Процесорната фамилия се допълва от широк набор LSI и VLSI съвместими периферии чипове: за управление на паметта, за комуникация на данните, управление на DMA, управление на мрежа, системен интерфейс, общ въход/изход и графики. Всички те предлагат системното проектантите и намаляват производствената цена, като в същото време повишават производителността на системата.

МИКРОПРОЦЕСОРИ

MC 68040

32 битов микропроцесор от трето поколение.

MC68040 принадлежи към претопното поколение M68000 съвместими, високо

производителни 32 битови процесори на Моторола. Той поддържа виртуална памет и се базира на многобройни конкурентно работещи единици и архитектура с висока степен на интеграция, което обезпечава висока производителност от един единствен монолитен HCMOS чип. В него MC68040 интегрира MC68030 съвместимо устройство за работа с цели числа (IU), IEEE 754 съвместимо устройство за работа с числа с плаваща запетая (FPU) и устройствата за управление на паметта (MMU), с абсолютно независим набор команди и независим 4KB кеш.

Чрез използването на няколко независими изпълнителни конвейера, няколко вътрешни шини и една вътрешна Harvard архитектура, включваща отделни физически кешове за инструкции и данни се постига висока степен на паралелизъм при изпълнение на инструкциите. MC68040 директно поддържа съвместяване на кеша в многопроцесорни системи, посредством въвеждане в чипа специална логика за следене на шината. Процесорът притежава характерните за цялата М68xxx фамилия 32 битови регистри, 32 битови адресни шини и шини за данни. Изпълнението на инструкциите се извършва в паралел с достъпа до вътрешните кешове, MMU операциите и работата на контролера на шината. Допълнително IU е оптимизирано за работа в среда от високо ниво. MC68040 е съвместим с предшествието членове на фамилията на ниво обектен код и е значително оптимизиран да намалява времето при код, генериран от компилатор. MC68040 е прокутан на новата HCMOS технология на Моторола и представява идеален баланс между скорост мощност и физически размер. И в IU, и в FPU изпълнението на инструкциите е конвейерно. Отделните MMU за данни и инструкции управляват главните кешове и кешовете за трансляция на адреса (ATC). Чрез съхраняване на последно използваните трансляции, ATC ускорява преобразуването на логическите във физически адреси. MC68040 може да изпълнява поднабор от най-често използваните инструкции на MC68882 и включва допълнителни формати на инструкциите за закрепяне на резултата при еднична и двойна точност. MMU поддържа многопроцесорни системи с виртуална памет чрез трансляция на логическите адреси във физически посредством трансляционни таблици, съхранявани в паметта. Всяко MMU притежава два регистъра за „прозрачна“ трансляция, чрез които се дефинира адресното разположение на сегмент с размери от 16 MB до 4 GB беси. Кешовете за инструкции

оперират независимо от останалата част на машината, като съхраняват от тях информация може бързо да бъде достъпната от изпълнителните единици или устройствата. Всеки кеш разполага със собствена вътрешна шина за данни и вътрешна адресна шина, като е възможен едновременен достъп и до двете. Кешът за данни поддържа режимите „WRITE THROUGH“ и „COPY BACK“, които могат да бъдат конфигурирани на странична основа. Шинният контролер на MC68040 поддържа високоскоростен немултисекцион синхронен външен интерфейс, който може да работи със стандартни размери на данните при обмяна: байт, дума, двойна дума (4 байта) и рег (16 байта).

MC68030,RL,RP,FE

32 битов микропроцесор от второ поколение.

MC68030 е базиран на високопроизводителния MC68020, като са добавени нови възможности за повишаване на производителността, включително: увеличаване на вътрешния паралелизъм; въвеждане двойни кешове с „мизнобен“ режим на запълване и въвеждане устройство за странициране. Двете независими 32 битови адресни шини и две 32 битови шини за данни позволяват на процесора, кешовете, MMU и на шинния контролер да работят в паралел. Така например MC68030 може едновременно да има достъп до инструкциите, от кеша за инструкции, до данни, от кеша за данни и до инструкции или данни от външната памет. Отделните 256 байтови кешове за данни и инструкции намаляват времето за достъп и увеличават общата производителност на процесора, чрез натовабарването на инструкциите и данните на самия чип. Като цяло изискванията към шините са намалени и при многопо-ефективна, благодарение на разширената честотна лента на шината. Това е постигнато с шинния контролер с повишени възможности, даващ възможност за високоскоростно запълване на кешовете за данни и за инструкции. Въвежданото устройство за управление на страницирането транслага логическите адреси в съответните физически за гба пъти по-малко време от необходимото на MC68020 и MC68851. Конвейерната обработка позволява тази трансляция да бъде изпълнявана паралелно с други функции, така че към другите цикли на шината не се добавя време за трансляция.

MC68020,RL,RP,FC,FE

Основен 32 битов стандарт.
MC68020 е водещият 32 битов

ОЧАКВАЙТЕ В СЛЕДВАЩИЯ БРОЙ!!!

DESIGN

SOFTWARE

- НЕ МНОГО "hard" изненагу!

процесор в промишлеността. Това се дължи на високата му производителност, архитектурата, удобното му програмиране и съвместимостта му със следващите версии. Той има пълна 32 битова вътрешна и външна симетрична архитектура, предлагаща всички функционални удобства на фамилията MC68xxx. Програмистите са много доволни от голямия набор регистри с общо предназначение, от простите, но мощни инструкции и гъвкавите режими на адресиране. Уникалният вграден кеш за инструкции спомога за повишаването на производителността до 12.5 MIPS-а. MC68020 е наложил се лидер във високоскоростните системи, в инженерните работни станции, системите с паралелна обработка, телекомуникационната техника и интелигентните контролери.

MC68010LC,P,R,RC,FN

Повишаване на производителността посредством виртуална памет

В MC68010 за пръв път се предлагат предимствата на виртуалната памет. Изпълнението на програмите до голяма степен се ускорява от въвеждането на високоскоростните операции за цялък (loop). MC68010 може да поддържа старша операциона система, която от своя страна управлява произволен брой операционни системи.

MC68000LC,P,R,RC,FN

16 битов основоположник на фамилията

Като пръв член от фамилията 68xxx, със свършената си за времето си технология и авангарната си концепция, MC68000 дава начало на нов вид микропроцесорна архитектура. Независимо седемнаест 32 битови регистри за данни и адреси позволяват бързо вътрешно изпълнение на простите, но мощни инструкции. Проектиран е за големи микропроцесорни системи и системи с векторирани прекъсвания, работещи в

реално време. Поддържа 7 приоритетни нива на прекъсване и 16 МВ адресно пространство. Тъй като MC68000 задоволява голям брой от съществуващите приложения и цената му е изключително конкурентноспособна, той е усвоен в доста съвременни продукти и си остава един от най-използваните процесори.

КОПРОЦЕСОРИ

MC68851RC

Устройство за управление страничирането на паметта (PMMU)

MC68851 с 32 битово устройство за управление на паметта, което се използва за поддръжка на MC68010 и MC68020 при страничиране на виртуалната памет. Козато се използва съвместно с MC68020 то поддържа 4 GB адресно пространство. Вграденният в чипа кеш за адресна трансляция минимизира забавянията и увеличава производителността на системата.

MC68881RC,FN

Копроцесор за часа с плаваща запетая
Проектиран специално за архитектурно разширение на MC68020, този мощен копроцесор може да бъде използван като периферия към всички останали членове на фамилията MC68xxx, а също и с други процесори, които не са членове на тази фамилия. Изчислената, която той извършва върху часлата с плаваща запетая, са в точно съответствие с IEEE стандарта за двоична аритметика с плаваща запетая (754). Освен основните операции събиране, изваждане, умножение и деление, той поддържа пълен набор от трансцендентни и нестраницеентни операции. Те включват корени, тригонометрични функции, експоненти, логаритми, хиперболични функции. Хардуерно всички функции се изчисляват с точност 80 бита.

MC68882RC,FN

Копроцесор за часа с плаваща запетая

с повишена възможности.

MC68882 е хардуерно и софтуерно съвместим с MC68881 и в допълнение разполага с разнообразие от средства за повишаване на производителността. Включително двоупоробни регистри и подобрени конвейри. Новите схеми позволяват изпълнение на голяма част от инструкциите в паралелно при производителност повече от два пъти в сравнение с MC68881.

DMA контролери

MC68450L,R,RC

DMA контролер

MC68450 поддържа средства за високоскоростен трансфер на данни при сложни системи, основани на MC68000. Въпреки че е хардуерно съвместим с MC68440 той разполага с 4 напълно независими DMA канала. Освен стандартното прехвърляне на данни в последователни адреси, той може да работи в режими, при които адресите, към които се прехвърлят данните се четат от съвързани масиви.

MC68440L,P,R,FN

Двоканален DMA контролер

MC68440 допълва изпълнителните средства на MC68000 чрез преместване на блокове от данни по бърз и ефективен начин с минимална намеса на централния процесор. През двата абсолютно независими DMA канала могат да бъдат извършвани трансфери от тип памет-памет, памет-периферия и периферия-памет и на 8 и на 16 битови данни. MC68440 е обезпечен с по два вектора на прекъсване за всеки канал.

(по материали на MOTOROLA SEMI-CONDUCTOR/Master Selection Guide)

P.S.Това начално представяне на фамилията 68xxx на някои може да се стори скучно, но редакцията го смете за необходимо въвеждане към конкретните статии, които ще бъдат публикувани по-нататък.

MOTHERBOARD

PC AT/286

Започвайки описанието на онова, което в света на Интернационалните Бизнес Машини се нарича „персонален компютър АТ“, трябва да предупредим евентуалните читатели за следното: статията ще подразни всички, чиито фин музикален слух е формиран от нестихващото „осанна“ на IBM. Ако след прочетеното дотук вече твърдо сте решили да прескочите тази статия (този брой, този годишен абонамент и т.н.) приемете от нас един съвет: никога не се захващайте да реализирате нещо с наистина сериозен процесор.

1. "Да изслушаме и другата страна ..."

Както вече подозирате, „другата страна“ е не някой друг, а IBM. Защо? Защото въпреки огромните усилия (и огромните средства, разбира се), хвърлени от компанията за доказване на твърдението „100% compatible with IBM computers are only IBM computers“, всякакви дребни производители продължават да процъфтяват, безцеремонно копирайки всичко ново, излизащо от IBM. В крайна сметка неприятното (за IBM) е, че измежду дребните производители все се намира някой, поддържащ достатъчно добър конструкторски екип, който успява да направи копие по-добро от оригинала.

Ако се опитаме да се върнем назад в годините и да си обясним как се стигна до днешните „чудовища“ от рода на АТ 486, чийто впечатляващи изчислителни мощности са впрегнати от програмистите на NanoSoft (или, ако ви харесва повече - MicroSoft) за смятане на боичките на Windows, то неминуемо ще си спомним как бе създаден IBM/PC. Дълго време след появата на Apple II хора, достатъчно компетентни относно „кухнята“ на големите в бранша, продължаваха упорито да твърдят: истинско признание персоналният компютър ще получи тогава, когато IBM кажат тежката си дума по този въпрос. В един момент обаче се оказва, че повечето

редови потребители бяха оценили качествата на компютъра, без да чакат някоя да ги подканя и съветва. В същия момент IBM бяха изправени пред дилемата или да продължават така, сякаш нищо не се е случило, или да се включат в играта. IBM се опитаха да застанат по средата-решиха да се включат в играта така, сякаш нищо не се е случило. За минимално възможно време буквално бе „скалъпен“ един по същество 8-разреден компютър с доста критикувания още по онова време процесор 8088. Целта бе повече от ясна-всичко написано до момента за 8080 и отчасти за Z80 да може след минимални преработки да заработи на новия компютър; едновременно с това мощната рекламна машина ще може да налива ум и разум в главите на законенелите потребители: колко много им е нужен новият 16-разреден (ха-ха!) компютър и как той ще реши като минимум всичките им проблеми. Бе пусната в ход красивата легенда за това как група амбициозни млади инженери създали този изключителен компютър „зад гърба на фирмата“. Отново прозрачност- тук потребителят би трябвало да си помисли: „охо, а представяте ли си щом и самата фирма се заеме с това!“ На всички вопли на по-квалифицираните потребители, че това не е нищо ново, че PC-DOS не е нищо друго освен фризиран CP/M, че този компютър е изнервящо бабен, бе отговорано: „Млък, вие нищо не сте разбрали!“ Междувременно всевъзможен софтуер бе преработен за PC-DOS, IBM/PC вече се продаваше добре, след минимални промени бе създаден и PC/XT с твърд диск (та нали по същото време много добре се продава Apple II е, с диск и ProDos, „ах, ужасно!“)... Като, че ли всичко върви добре. Е, намират се „разни“, които продават съвместими компютри, но какво от това? Безразличието на IBM се смени със зле прикрито раздражение след появата на 8- и 10-мегагерцови варианти на XT, развагати относно от „кописти“, и едва ли не веднага след това фирмата правистъпка, която би трябвало да и даде глътка въздух-разработен е XT/286. След пускането му на пазара обаче става ясно, че това е просто поредна кръпка-не може с проста подмяна на процесора с по-мощен да се изчистят недомислиятата в системата. IBM вече е почти „узряла“ да започне разработка на нов, истински 16-разреден компютър. По същото време Apple мълчи подозрително, при все че моделите и се продават добре. Днес вече със сигурност знаем какво се е случило: Apple решават да съкрат с 8-

разредната архитектура и да заложат на новата фамилия 68XXX на Motorola, а в IBM вземат първото половинчато решение-трябва да се разработи нов компютър, но той да е съвместим с XT. След това прозрение на управниците на IBM за конструкторите не остава нищо друго, освен съвместно да се потрудат. А те действително правят всичко, каквото могат, за да бъде изпълнено мъдрото предначертание и едновременно с това на системната платка да останат по-малко от 130 (!) корпуса IC. Да погледнем какво се е получило.

Тактов генератор. Може би по-правилно да се говори за тактови генератори, защото освен системния на платката се е кротнал и един осцилатор на честота 14.31818 MHz-спомен за уникалната идея XT да работи синхронно с цветовата подносеца на NTSC. Системният генератор е реализиран с I82284; работи на честота 12 MHz, която след делене на две формира тактовия сигнал на микропроцесора. От процесорния такт след инвертиране, задържане по време на необходимия брой наносекунди (за целта се използват логически елементи от всички достъпни серии-LS, S, ALS, F, AF), а в критичните места и с добавяне на RC групи се получават множество тактове и тактчета, които са абсолютно необходими за синхронизиране на сигнала RDY към процесора, а също и обработката на сигнала OWS. Няма да коментираме доколко въобще е помислено върху системна шина, по която с един сигнал може да се удължи процесорният цикъл, а с друг-да се скъси. -CPU. Според IBM-гвоздеят на програмата. Иначе казано-прехваленият I80286 и работещият съвместно с него аритметичен копроцесор I80287. Ако трябва да се говори сериозно, заложението при разработката на .286 идеи не са никак лоши. Е, ако някой се беше сетил да се откаже и от скъсяващото живота на програмистите сегментиране-това би бил чудесен процесор. Ако някой бе доразвил и идеята за работа в режим със защита и я бе довел до крайния и вариант (който, реализиран в процесорите на друга една фирма, се приема много добре от програмистите), това би бил прекрасен процесор. Помечтахме си, сега да видим какстоят работите в AT286. На пръв поглед-нищо особено. Буфери, регистри... Добре, ами този странен чип LS646? Остатък от XT, разбира се-дълъг до младшата част на данновата шина е осигурен и откъм старшата и част. Поглеждаме към копроцесора- управляващите му сигнали се

получават от една PAL, на входа на която постъпва „пътър букет“ от сигнали. Съвместимост, съвместимост... Но най-интересното предстои.

Контролер на шината. Да се каже, че I82288 е контролерът на системната шина, е най-малкото преувеличено. Поне защото освен него в управлението на шината участвуват още доста логически елементи, тригери, PAL, и т.н. Защото едно са примерите за изграждане на система с 80286, 82284, 82288 - споменатите вече справочници на Intel, а съвсем друго-реалният свят, с прибавени към него изисквания от типа „ама да може и иначе“.

DMA контролер. Едно от най-интересните местенца в AT 286. В сравнение с XT е добавен още един чип 8237A-5. Самата идея старият (съществуващ и в XT) чип да продължи да работи по същия начин, а вторият контролер да бъде използван за 16-разредни трансфери очевидно е разумна. Напълно е разбираема и замената на LS670 (4-разредни регистри за адреса на страниците за всеки от каналите за DMA) с LS612, който съдържа осем 8-разредни регистъра. Абсолютно логично е и каскадното свързване на двата чипа. Но ето че се появява и въпросът: защо е решено двата чипа, имащи възможност да работят с тактова честота 5 MHz, да се тактуват с честота 3 MHz, и то в системата, имаща претенции да бъде „от ново поколение“, „с рязко повишена производителност“? Първото, което идва на ум, е, че на платката няма друг източник на подходящата честота. Е, не е за вярване, но... На всичко отгоре в „Hardware Reference“ на AT 286 не без гордост се споменава, че при предаване на контрола на шината от CPU на DMAC и обратно не се губело време за изпълнение на празни цикли на шината.

Браво!

RAM. Може би болшинството от претенциозните потребители на IBM са очаквали, че в PC/AT оперативната памет ще бъде с обем поне 640 Кбайта (на дънната платка). Да, ама не. IBM са решили, че памет 512 Кбайта е повече от достатъчна. Който иска повече - да си плати допълнително за разширение. В подхода за събиране на тези 512 К пак прозира идеологията „виж там да стане някак“ - използваните DRAM чипове са с организация 128 К x 1, а за никого не е тайна че това са просто памети 256 К x 1 с половин работеща матрица (или половин неработеща - ако се считат за пемистит). Ефикасно решение, когато се пестят центове и се пилеят долари - отново се използват схеми за контрол по четност, ползата от които е повече от съмнителна. Реализацията на схемите и блоковете, поддържащи оперативната

памет, много напомня решенията на XT. Добре, че мултиплексването на адресите за DRAM не е нищо друго освен мултиплексване на адреси; иначе бихме били свидетели на поредно уникално по замисъла си решение. Променен е единствено механизъмът на опресняване - за целта се използва не канал 0 на „байтовия“ DMA контролер (чиито управляващи сигнали са изведени на допълнителния слот), а отделен брояч (74LS590), генериращ последователни адреси. Определено може да се счита за недостатък и липсата на каквато и да е защита на DRAM от прекратяване на опресняването, например при заемане на системната шина от външно устройство чрез сигнала MASTER.

- ROM. Ура! Вече няма място за ROM - BASIC! На дънната платка са поставени четири цокъла за EPROM. Два от тях са задължителни - в тях е записан BIOS. Като апаратна реализация включването на ROM към XXX86 не дава възможност за много варианти, и като че ли повече конструктори са излишни.

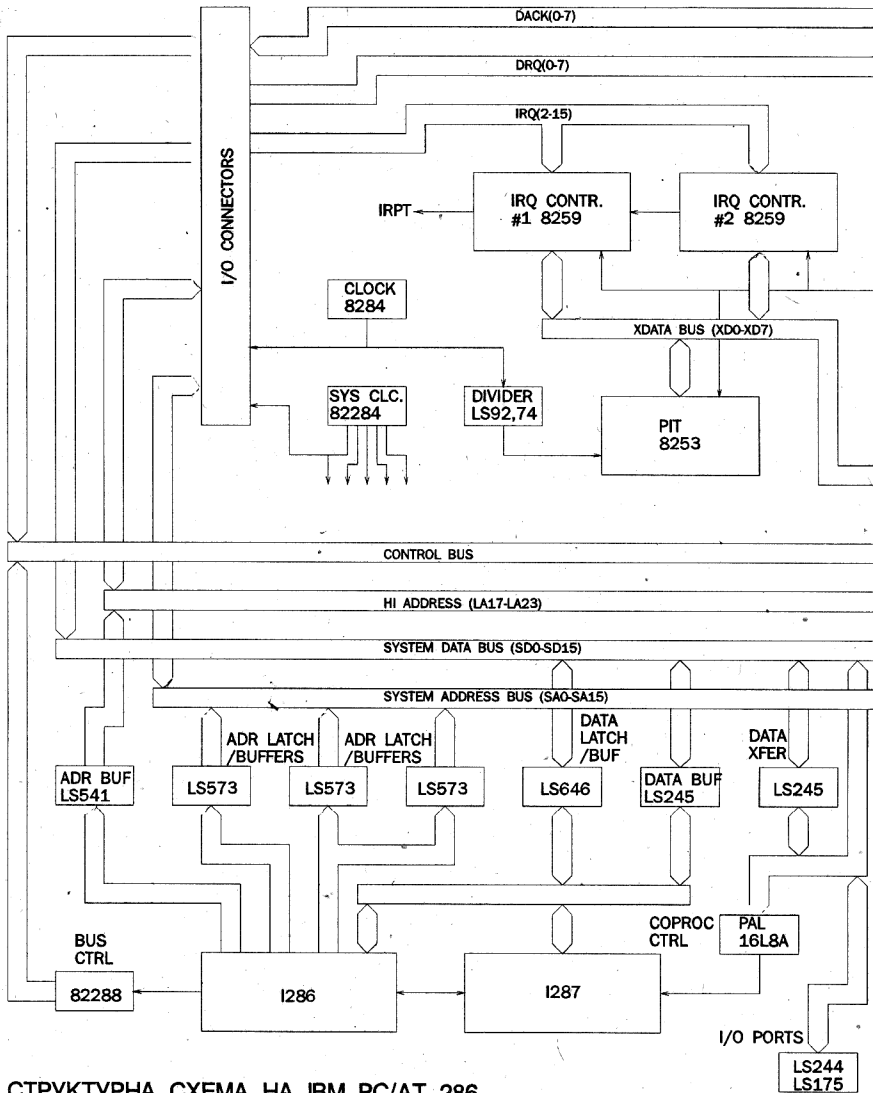
- Система за обработка на прекъсвания. Всеки, който е конструирал нещо работещо в слота на XT, се е сблъсквал с изключително забавната идея на IBM: всяка IRQ-линия, заета от дадено устройство да бъде колкото се може по-трудно използваема от друго устройство. Ама така е, като никой не се е сетил, че на IBM освен чипове с отворен колектор им трябва и такива с отворен емитер! Като резултат в PC/AT се появява втори 8259A, който изключително умело (разбирай - по единствено правилния начин) е включен каскадно със съществуващия и в XT контролер. За запазване на съвместимостта една от заявките за прекъсване (IRQ 9) се използва (след програмно пренасочване) за поддържане на заетата от втория чип IRQ 2.

- Периферни схеми. Тук вече промените са големи и не толкова „косметични“. Най-съществена е промяната в обслужването на клавиатурата и добавянето на real-time clock (RTC). Познатият на всички преместващ регистър, свързан към порт А на системния PPI в PC/XT, е изчезнал (както и самият PPI, но за това - по-нататък) и на негово място се е появил едночипов компютър 8042. С добавянето на 8042 се реализира и възможност за двустранно предаване на информация: не само от клавиатурата към системата, но и в обратната посока. При все че за нормално мислещ човек е трудно да си представи за какво би могла да се използва втората възможност, IBM намират едно брилянтно решение: за светване и гасене на LED на клавиатурата и за промяна скоростта на autore-

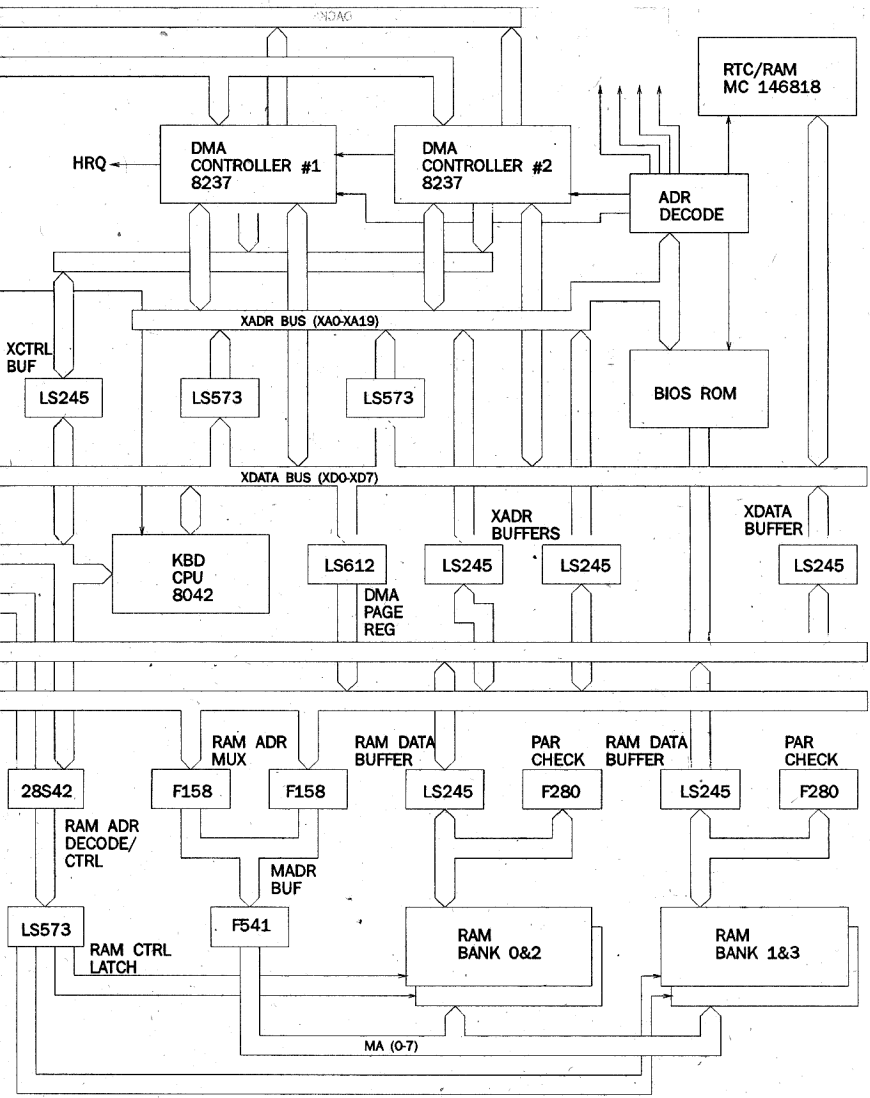
peat. (?) След отпадане на необходимостта от обслужване на единствения 8-разреден порт присъстващият в XT PPI е сведен до 4-разреден изходен (ALS175) и 8-разреден входен порт (ALS244). Осемте ключета за конфигуриране на XT са отпаднали, а се задава единствено типа на видеоконтролера (CGA или MDA/Hercules) чрез една от свободните линии от портовете на 8042. Информация за конфигурацията на системата се съхранява в свободните 50 байта RAM на RTC. Една добра идея, реализирана не по най-добрия начин - на всички са познати проблемите по конфигуриране на PC/AT след източване на батерията на RTC и липса на конфигурираща програма в по-старите версии на BIOS. За таймера няма да говорим, при него всичко си е по старому.

Г.Петров
(слегва)

P.S.Подготвяйки статията за IBM PC/AT решихме, че вместо да публикуваме доста тежката принципна схема на оригиналния AT би било по-добре читателите да се запознаят с архитектурата и идеите, реализирани при разработката на компютъра. Затова тук ще видите само структурна схема, а в следващия брой ще публикуваме принципна схема на една наистина добре реализирана система с 80286, съвместима с PC/AT. Бихме могли още много да коментираме грешките и принципните ограничения, допуснати при създаването на PC/AT. Трудно разбираемо е например защо при наличието на (така или иначе) по-мощен от този на XT DMA контролер стандартно поддържаният от AT BIOS контролер за твърд диск продължава да използва идеологията на междинно използване на секторен буфер. Може би това е продиктувано от необходимостта за достъп на схемите за CRC до данните от сектора при коригиране на евентуални грешки, но това би могло да стане и в системния RAM чрез реализираната (вече) възможност за контрол на системната шина от външни устройства... Както виждате, въпросите са свързани, и, задавайки първия, рискуваме да затънем в доста дълбоки води. Затова по-добре е да използваме мястото в списанието за нещо полезно, а именно - описание на сигналите на слотовете (което може би вече сте видели).



СТРУКТУРНА СХЕМА НА IBM PC/AT 286



предаване на управлението на системната шина от микропроцесора на DMA-контролера. По време на активното ниво на сигнала (лог. „1“) се извършва DMA-цикъл за съответния канал.

-REFRESH (I/O)

Този сигнал индицира цикъл за опресняване на паметта. Може да бъде генериран и от устройствата на Вх.-изх. съединители. Сигналят е с активно ниско ниво (лог. „0“).

TC (O)

Сигналят „Terminal Count“ информира устройството, заявено обслужване чрез DMA, за достигане на последен обмен при прехвърляне на блок от данни.

SBHE (I/O)

„Bus High Enable (System)“ индицира прехвърляне на данни по старшия байт на системната шина (SD8-SD15). 16-разредните устройства използват SBHE за управление състоянието на данните буфери, свързани към тази част от шината.

-MASTER (I)

Този сигнал може да бъде използван заедно с DRQ-линия за получаване на управлението на системната шина чрез следния механизъм: След заявяване на DMA-цикъл и получаване на потвърждение устройството сваля линията MASTER в ниско ниво (лог. „0“), при което буферите на системната платка освобождават шината. Един период на сигнала CLK след преминаването на MASTER в „0“ устройството може да разреши своите буфери за адреси и данни, а след още един период - формирането на необходимите управляващи сигнали за четене или запис. Връщането на управлението към системната платка става в обратна последователност. Не се разрешава задържането на сигнала в лог. „0“ за повече от 15 микросекунди поради опасност от загуба на данни в DRAM.

-MEMCS16 (I)

Сигналят информира системната платка за третиране на текущото прехвърляне на данни като 16-разреден цикъл тип „памет“ с 1 състояние на изчакване. Трябва да бъде изработен от ИС с отворен колектор или с 3 състояния.

-I/OCS16 (I)

Сигналят информира системната платка за третиране на текущото прехвърляне на данни като 16-разреден цикъл тип „Вход/изход“ с 1 състояние на изчакване. Ако адресираното устройство не формира този сигнал, системната платка регулира текущия цикъл на шината до два последователни трансфера на байтове (вж. „SD0-SD15“).

OSC (O)

Тактов сигнал с честота 14.31818 MHz (период 70 ns) и коефициент на заплъване 0.5. Сигналят не е

синхронен със системния такт.

OVS (I)

Сигналят „Zero Wait State“ се използва за приключване на текущия цикъл на шината без състояния на изчакване. Сигналят трябва да бъде получен чрез адресна дешифрация и разрешение от съответния сигнал за запис и/или четене и да се формира от ИС с отворен колектор или с 3 изходни състояния.

П.Петров

hNEWS

Intel за комбинацията CISC/RISC в бъдещия P5 чип

Бъдещия P5 CPU на Intel ще бъде смесица от RISC и CISC технологии или „Intel-CRISC“, както каза главния менажер на Intel Debug Хаус на неотдавнашния SCO форум на Unix потребителите. P5, който някои наблюдатели казват, че ще се появи в средата на 1992 година като 586 чип, ще съдържа двойката на RISC изпълнени елементи, подредени паралелно и изпълняващи всички инструкции, нямачи микрокод. „Инструкциите и данните ще намерим в чипа, а функциите с плаваща запемая ще бъдат също интегрален елемент“, казва Д. Хаус. При наличието на 386 изпълнителен процесор е възможно чипът да изпълнява програми в protected mode.

Ако пълната 386 структура бъде завършена, то P5 би поддържал един реален 8086s. Вероятно 386 изпълнителен процесор би работил независимо от RISC елементите.

Джон Мешей от Mips Computer Systems казва, че CRISC с по същество безмислица. „Ако нещо изглежда като памуча, хогу като памуча и кряка като памуча, то е памуча“, казва Мешей. RISC чипът на Mips R4000 ще се конкурира с P5 на Intel. Двете ключови изходни точки за R4000, според Мешей от Mips са неговите 16KB, съвместни със специализиран контрол (за мултипроцесиране) и 64 битова структура.

hNEWS

GaAs RAM чипове
предлагат бързина и
защита

McDonnell-Douglas започна разработка на фероелектрически галиевоарсениев (GaAs) чип, който обещава да бъде комбинация от бързина и защита от електромагнитни смущения. Фероелектрическият RAM е енергонезависим. Макар, че първоначалните приложения на FER-AM бяха за външен монтаж, някога те биха заменили чиповете, използвани в персоналните компютри.

Изследователите неотдавна демонстрираха технология с 400-клетковата памет в съоръженията на McDonnell-Douglas Electronik Systems в Santa Ana, (CA). Следващата стъпка, според програмния менажер Бил Гугеман е 4KB RAM чип с 16KB вариант. „Да преминем от 4KB към 16KB е лесно“, казва Гугеман, „да преминем от 64KB вече е еволюционна стъпка“.

Най-близкия аналог на FERRAM вероятно е старата памет с феритна сърцевина, която предхожда полупроводниковата памет в компютрите. Както и при сърцевинната памет FERRAM запазва информацията когато захранването е изключено.

Сърцевинната памет съхранява информация посредством магнитна поляризация на микротюрни феритни тороиди, а FERRAM - чрез електрическа поляризация на по-малки плати от феритни материали, имплантирани в GaAs субстрат.

FERRAM е сравнително бърза, с време за достъп по-малко от 10нс. Голямата атракция е нейния имунитет към някои вредни за съхраняването на информацията космически излъчвания и други разсеяни форми на радиация. В края на краищата, мезабатомите FERRAM биха станали универсално средство за съхраняване на информацията за персоналните компютри, заменяйки енергонезависимите DRAM и прекалено тежките и скъпи хард диск устройства в текущите микрокомпютри.

ДОГОВОР ЗА АБОНАМЕНТ

АБОНАТ /фирма, предприемаче/.....

Име

Адрес (гр/с)..... ког

област община

ул. No

бл. вх. ст. тел.

Тази бланка е договор за абонамент при обявените в него цени, само ако е изпратен не по-късно от 25. 02. 1992 г. След тази дата стойността на абонамента и цената на броевете за ръчна продажба могат да бъдат променени.

DESIGN DESIGN DESIGN
ТАЛОН ЗА БЕЗПЛАТНА ОБЯВА

Желя да публикувате в брой на сп. "DESIGN" (hardware)
обява, съдържаща следния текст:

DESIGN DESIGN DESIGN

ВАЖНО ЗА ВСИЧКИ АБОНАТИ!

Редакцията на сп. "DESIGN" (hardware) ще публикува рекламния материал предоставен от всеки, притежаващ квитанция за абонамент за списването. Стойността на рекламната (по цени, дадени на 32 стр.) трябва да бъде скъбвалитна на сумата, внесена за абонамент. Желателно е рекламният материал да е в графичен оригинал 1:1 или четливо написан текст с указания за макет. Редакцията ще публикува само реклами придружени с писмо, съдържащо имената, точния адрес на абоната и номера на квитанцията, с която е направен абонамента.

hNEWS

Извън представянето на Notebook Mac от Apple през октомври, новия Notebook 2000 на Outbound Systems (Boulder, CO) предостига алтернатива на хората, желаещи подбужен Mac.

Outbound машината - така наречената „мюгена черупка“, използвава оригинален Mac ROM, има размери 8,5, на 11, на 2,5 инча и тежи около 6 фунта.

10-инчовия LCD е по-бърз от кой да е друг в по-старата система Outbound (мака наречената lunchbox). Започвайки от базовата машина с 20MHz 68000 процесор, 2MB RAM и SuperDrive за 2899\$, вие можете да преминете към 33MHz 68030, 4MB RAM, SuperDrive и 60MB вътрешен хард драйв за 4299\$.

ДОГОВОР ЗА АБОНАМЕНТза списание **DESIGN (hardware)**

Желя да се абонирам за сп. **DESIGN (hardware)** за следния период по действващите за 01.01.1992 г. цени (отбележете желаните квабратчета с X):

За периода:

- 68.20 за **ЕДИНАДЕСЕТ** броя (февруари-декември 1992г.)
 31.00 за **ПЕТ** броя (февруари-юни 1992г.)

Сумата е преведена с пощенски запис, изпратен на адреса на редакцията Варна 9000 П.К. 272 сп. **DESIGN (hardware)**, с разписка номерна името на Константин Илиев Щереф, на 1991 г.

DESIGN DESIGN DESIGN**ТАЛОН ЗА БЕЗПЛАТНА ОБЯВА**

С този талон вие можете да поместите на страниците на сп. „DESIGN“ (hardware) безплатно обява в размер на 15 думи. В тях се включват и евентуалните имена, адреси и др. данни за комуникация. Срокът за изпращане на талона е до 10-то число на месеца в който ще се публикува обявата.

КСЕРОКОПИЯ НА ТАЛОНА НЕ СЕ ПРИЕМАТ!**DESIGN DESIGN DESIGN****ОТНОСНО АБОНАМЕНТА**

Редакцията на сп. „DESIGN“ (hardware) уведомява своите читатели, че те могат да се абонират за списанието по всяко време на годината. В отпечатаният на тази страница договор за абонамент са указани цените на абонамента до края на текущото шестмесечие и на текущата година. Срокът на изпращане на договора с до момента на излизане на следващия брой (около 1 месец).

Напомяне ви, че поради липсата на централизирана мрежа за разпространение на техническа литература, единственият сигурен начин да получавате вашето любимо списание за схематехника и хардуер е абонамента!

ЧЕТЕТЕ**В DESIGN (Hardware)**

02/92

IBM PC/XT-12 MHz (Juko)
68705 програматор
EGA - продължение
VDC-3 - схема
IBM PC/286 - продължение
Захранващо устройство за APPLE
Видеогенератор на буквено-цифрово изображение

ОЧАКВАМЕ

Вашата реклама
на страниците на сп. **DESIGN (hardware)**.

Цената за един квабратен сантиметър е както следва:

- на вътрешна страница - 8лв.
- на 1 страница - 10лв.
- на 2 или 3 корица - 4 цвята - 15 лв.
- на 4 корица - 4 цвята - 20лв.

за един довършителен цвят + 10 %.

Отстъпки:

- за три последователни броя - 5%.
- за шест последователни броя - 10%.
- за цяла страница - 5 %.

ЗА СПЕЦИАЛИСТИ И ЛЮБИТЕЛИ В ОБЛАСТТА НА ЕЛЕКТРОНИКАТА**В магазин "ТЕГАС"**

ще намерите богата гама електронни компоненти и изделия на електрониката и електротехниката, части за аудио и телевизионна техника.

ВАРНА ул."Любен Каравелов" No.30 (заг ИУ) тел. (052) 25-94-69

фирма
ИНТЕГРИРАНИ КОМПЮТЪРНИ СИСТЕМИ
ПРЕДАВАГА

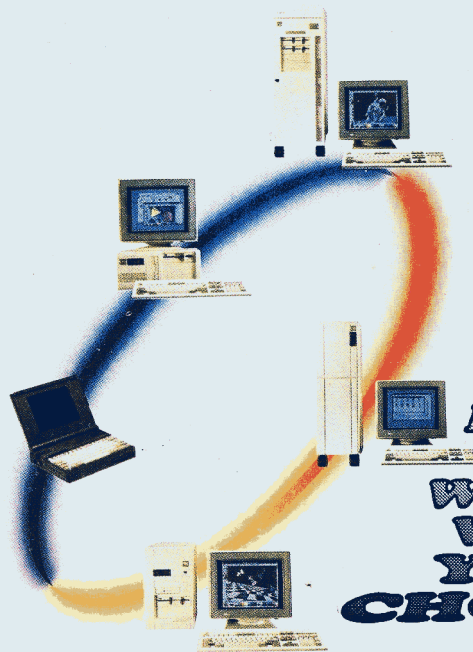
Monitors	USD	Modems	
1. 14" Hercules Monitor	164	1. Modem Card 2400 BPS	(Prodem 2400CM) 125
2. 14" Super VGA 1024x768 Color Monitor	380	2. Modem Card 2400/ Send Fax	(Prodem 2400H) 150
3. 14" Multisync 1024x768 Color Monitor	510	3. Fax/ Modem Card 9600 BPS	(Hidem 9600CM) 170
4. 20" Multisync 1024x768 Color Monitor	1350	4. External Modem 2400 BPS	(Prodem 2400M) 170
5. 20" Multisync 1280x1024 Color Monitor	1690	5. External 2400 BPS Async/Sync	(Hidem 2400I) 170
		6. External 9600 BPS Async/Sync	(Hidem 9600M) 730
Video Cards		UPS	
1. Hercules M/G/P Card	18	1. 300W/500VA	336
2. EGA Card 256K	55	2. 500W/800VA	426
3. Super VGA Card 16M/512K (1024x768 - 16 colors)	80	3. 1000W/1500VA	840
4. Super VGA Card 16M/1M (1024x768 - 256 colors)	100		
5. ET 4000 1024x768, 256 colors	125	Hard Disk Drives/ Controllers	
6. ET 4000 800x600, 32768clr., 1280x1024 16 clr.	150	1. 40MB AT BUS ST-157A	240
7. TIGA 1280x1024, 16 colors (Up to 2MB RAM)	650	2. 52MB AT BUS Quantum	275
		3. 80MB AT BUS ST-1102A	380
Mother Boards		4. 120MB AT BUS ST-1144A	480
1. 12MHz 286 M/B W/1MB RAM	130	5. 16MB AT BUS Quantum	810
2. 16MHz 286 M/B W/1MB RAM	140	6. 168MB SCSI Quantum	825
3. 16MHz 386SX M/B W/2MB RAM	295	7. 330MB SCSI Seagate	1330
4. 20MHz 386SX M/B W/2MB RAM	330	8. 660MB SCSI Seagate	1970
5. 25MHz 386DX M/B W/2MB RAM Non Cache	450	9. 770MB SCSI Fujitsu	2100
6. 33MHz 386DX M/B W/2MB RAM W/64KB Cache	563	10. AT BUS HD/CD	28
7. 33MHz 486DX M/B W/4MB RAM W/64KB Cache	995	11. ADAPTEC 1542B SCSI	345
8. 33MHz 486DX M/B W/8MB RAM W/256KB Cache	1340		
9. 1MB RAM	50	Tape Drives/ Controllers	
Math Coprocessors		1. 60MB Tape Drive (W/QIC-02 Longshine)	490
1. 80287-12MHz Math Coproc. Intel	115	2. 150MB Tape Drive (W/CNTRL Longshine)	660
2. 80287-16MHz Math Coproc. Intel	115	3. 60MB Tape Drive W/QIC-36, Software, Tape (Teac)	680
3. 80387SX-16MHz Math Coproc. Intel	185	4. 150MB Tape Drive SCSI W/O CNTRL and Tape (Teac)	930
4. 80387-25MHz Math Coproc. Intel	278	5. ADAPTEC 1542 SCSI CNTRL	345
5. 80387-25MHz Math Coproc. Cyrix	230	6. 60MB Cassette Tape (TEAC)	57
6. 80387-33MHz Math Coproc. Intel	278	7. 150MB Cassette Tape (TEAC)	50
7. 80387-33MHz Math Coproc. Cyrix	242		
Printers		Mouse	
1. HDP-920 9Pin, 136Col, 180 CPS	250	1. MS Mouse	20
2. NX 1500 9Pin, 132Col, 180 CPS	315	2. Genius 6+ Mouse	52
3. FX 1050 9Pin, 132Col, 220 CPS	700	3. GMF-303	52
4. LQ-1050 24Pin, 136Col, 180 CPS	790	4. Genius Trackball Mouse	58
5. LQ-2550 24Pin, 132Col, 324 CPS	1590		
Scanners		Other	
1. Handy Scanner BW 400 DPI	140	1. 360KB 5.25" Diskette	.48
2. Handy Scanner BW 800 DPI	283	2. 1.2MB 5.25" Diskette	.72
3. UF32 A4 Desktop BW Scanner	1450	3. 720KB 3.5" Diskette	.72
4. UF300 A4 Desktop Color Scanner	1830	5. 1.44MB 3.5" Diskette	1.63
5. CHS4000 Handy Color Scanner, DPI	390	6. Disk Box (5.25" 50PCS)	8
6. GS-C105 Plus Handy Color Scanner, Genius	470	7. Disk Box (5.25" X100PCS)	9
7. GS-FC30 A4 Color Scanner, Genius	1390	8. Light Pen	80
		9. Joystick	10
Plotters		9. 14" Screen Filter	13
1. DXY - 1100 A3 Plotter	930	10. 20" Screen Filter	22
2. DXY - 1200 A3 Plotter	1190		
3. DXY - 1300 A3 Plotter	1690	Ethernet Cards	
4. DPX - 3500 A1 FLAT BED Plotter	6390	1. ETHER-8 (NE1000)	96
5. GRX - 300AR AT ROLLER Plotter	470	2. ETHER-16 (NE2000)	105
6. GRX - 400AR A0 Plotter	5950	3. DE-100+ (D-LINK)	155
7. GT-1212B A3 Digitizer	280	4. DE-150+ (D-LINK)	155
		5. DE-200+ (D-LINK)	172
		6. LAN-SMART Software (for D-LINK)	350
		7. Netware 3.11 30 Users	270
		8. SMC Connector	1
		9. T Connector	1.5
		10. Cable (USD/m)	.7



INTEGRATED COMPUTER SYSTEMS
P.O. Box 272 Varna-9000 Bulgaria
tel (052) 25-52-88 fax (052) 24-40-30

3A Coding rev. 20.7.00

CIRCLE UP IN FBU SYSTEMS -



**YOU
CAN
NEVER
GO
WRONG
WITH
YOUR
CHOICE!!!**



DISTRIBUTOR FOR BULGARIA-
INTEGRATED COMPUTER SYSTEMS
P.O. Box 272 Varna-9000 Bulgaria
tel (052) 25-52-88 fax (052) 24-40-30

3A: Cepura tex. 20 4300