

ХЯРЧЕР

КОНТРОЛЕР ЗА ФЛОПИДИСКОВО УСТРОЙСТВО

БОРИСЛАВ ЗАХАРИЕВ



КЪМ

ПРАВЕЦ – 8 Д

Притежателите на Правец-8Д сигурно разбират защо се захванат с разработката на този контролер и на дисковата операционна система ДОС-8Д. За изстрадалите потребители на домашния компютър са очевидни предимствата на флопидискното устройство (ФДУ) пред касетофона. Но на ФДУ не бива да се гледа само като на бърз и надежден касетофон. Новото при работа с ДОС-8Д е логическият достъп до данните, който превръща Правец-8Д от домашен в полупрофесионален компютър.

Преди подробното разглеждане на устройството ще направя следните уточнения:

- контролерът и ДОС-8Д са разработени по едно и също време. Не става дума за написване на операционна система при вече съществуващ контролер или обратното;

- още с първия поглед върху принципната схема специалистът ще се усмихне снизходително: "С такива интегрални схеми ние още преди 10 години...". Аз бих отговорил, че такава ми е целта, защото това устройство ще се изработва в домашни условия и едва ли читателите ще се зарадват, ако им демонстрирам, че познавам дефицитните интегрални схеми. Има още една причина - когато преди две години като студент отворих шкафа си с радиочасти, не открих други схеми! Наистина този контролер може да се изпълни по много начини, но всичките ще реализират една и съща идея. Схемата, която ви предоставям, работи безотказно почти две години.

Поради гореспоменатите причини флопидискното разширение,

което ще се произвежда в Правец, има напълно различно схемно решение, макар че двата контролера изпълняват една и съща функция. Ако нямате възможност да изработите предоставената платка, не се отчайвайте. С малко повече желание и търпение бихте могли да реализирате схемата върху монтажната платка.

Не предоставям принципна схема на захранващия блок, нека всеки сам да реши този проблем според възможностите си върху умишлено оставеното свободно място на платката. Изискванията към захранващите напрежения са следните: +5 V, 5%, 1A ; +12 V, 5%, 1A ; -12 V, 10%, 50mA . Стойностите на токовете са завишени.

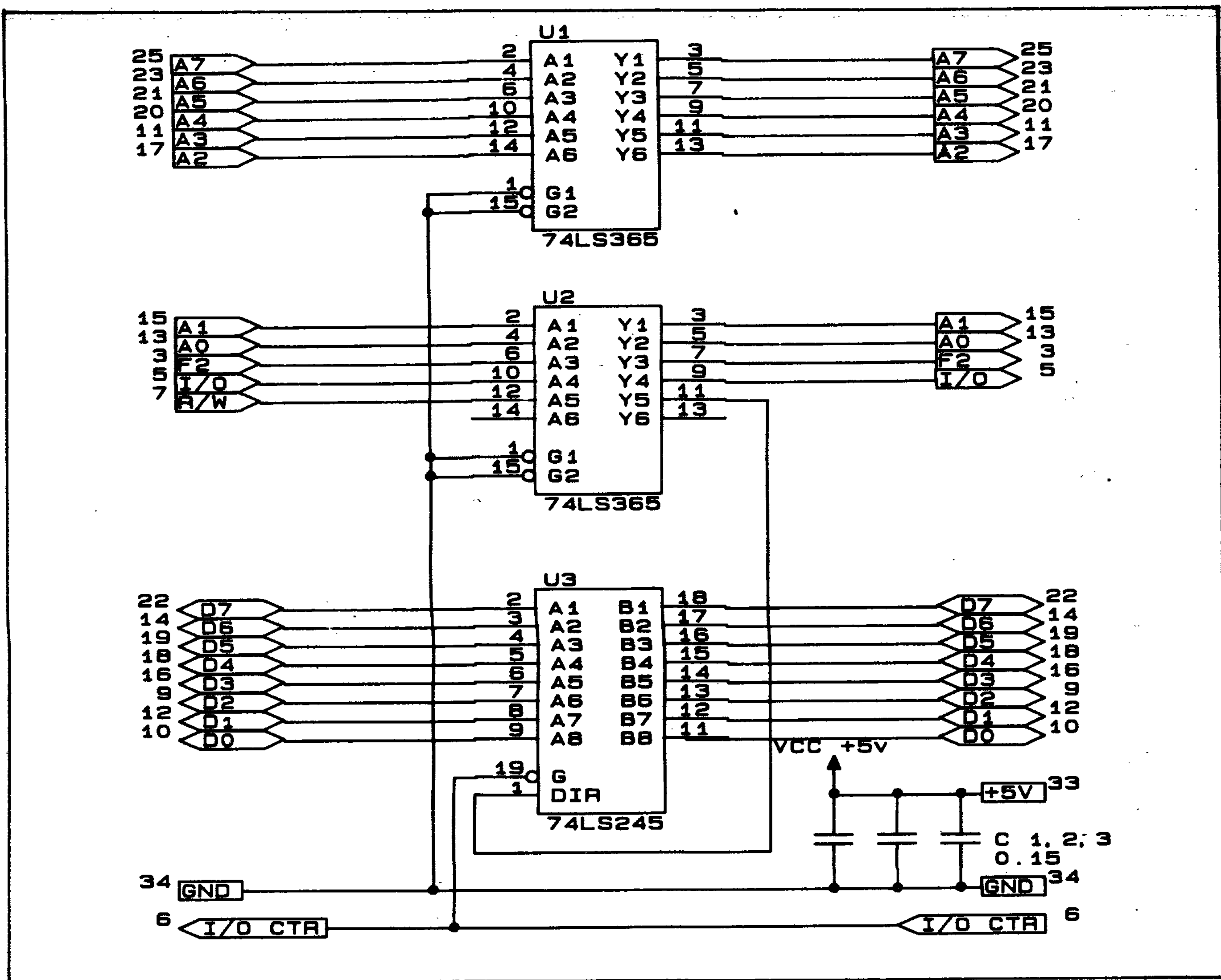
Някои ФДУ работят при значително по-малък ток, други не използват -12 V. Всъщност изискванията към напрежението -12 V не са високи. Може да спестите стабилизаторната интегрална схема 7912, като поставите само един ценов диод за 12 V. За напрежението +5 V и +12 V е най-добре да

използвате съответно интегралните стабилизатори 7805 и 7812.

ОПИСАНИЕ НА СХЕМАТА

Схемата на устройството се състои от две печатни платки. Върху по-малката са разположени три буферни интегрални схеми: 74LS245 - за данни от D0 до D7 и два буфера 74LS365 за адресите от A0 до A7, тактовата поредица Ф2, и сигналите R/W и I/O. Буферването се налага поради това, че на куплунга за разширение на Правец-8Д са изведени небуферирани сигналите от микропроцесора. Описваното устройство би могло да работи и без тази буферна платка, но тогава дължината на свързващия кабел не трябва да превишава 10 cm! Двете буферни интегрални схеми 74LS365 са разрешени непрекъснато, докато двупосочният буфер 74LS245 се разрешава само тогава, когато изработеният от микропроцесора адрес е в областта от \$310 до \$3FF. Това са работните адреси на устройството. Областта от \$300 до \$30F остава заета от гъвкавия интерфейсен адаптер VIA 6522 (намиращ се в компютъра). Сигналят за разрешаване на буфера за данни 74LS245 се използва и като сигнал за забрана на VIA. Той се подава към перо 6 от куплунга за разширение на Пра-





вещ-8Д (I/O Control). Сигналът R/W от микропроцесора се буферира и подава към входа Direction на буфера за данни. По този начин се управлява посоката на обмен между компютъра и устройството.

Малката буферна платка се свързва посредством плосък кабел към втората платка. Върху нея са поместени шест интегрални схеми и куплунг, в който се присъединява стандартният ФДУ контролер. Това е същият ФДУ контролер, както при Правец-82. Нещо повече, от него могат да липсват двата PROM-а, в които е записана програмата, зареждаща нулевия сектор от нулевата пътечка на дискетата. Куплунзите за присъединяване на ФДУ се намират върху ФДУ контролера. ДОС-8Д поддържа до

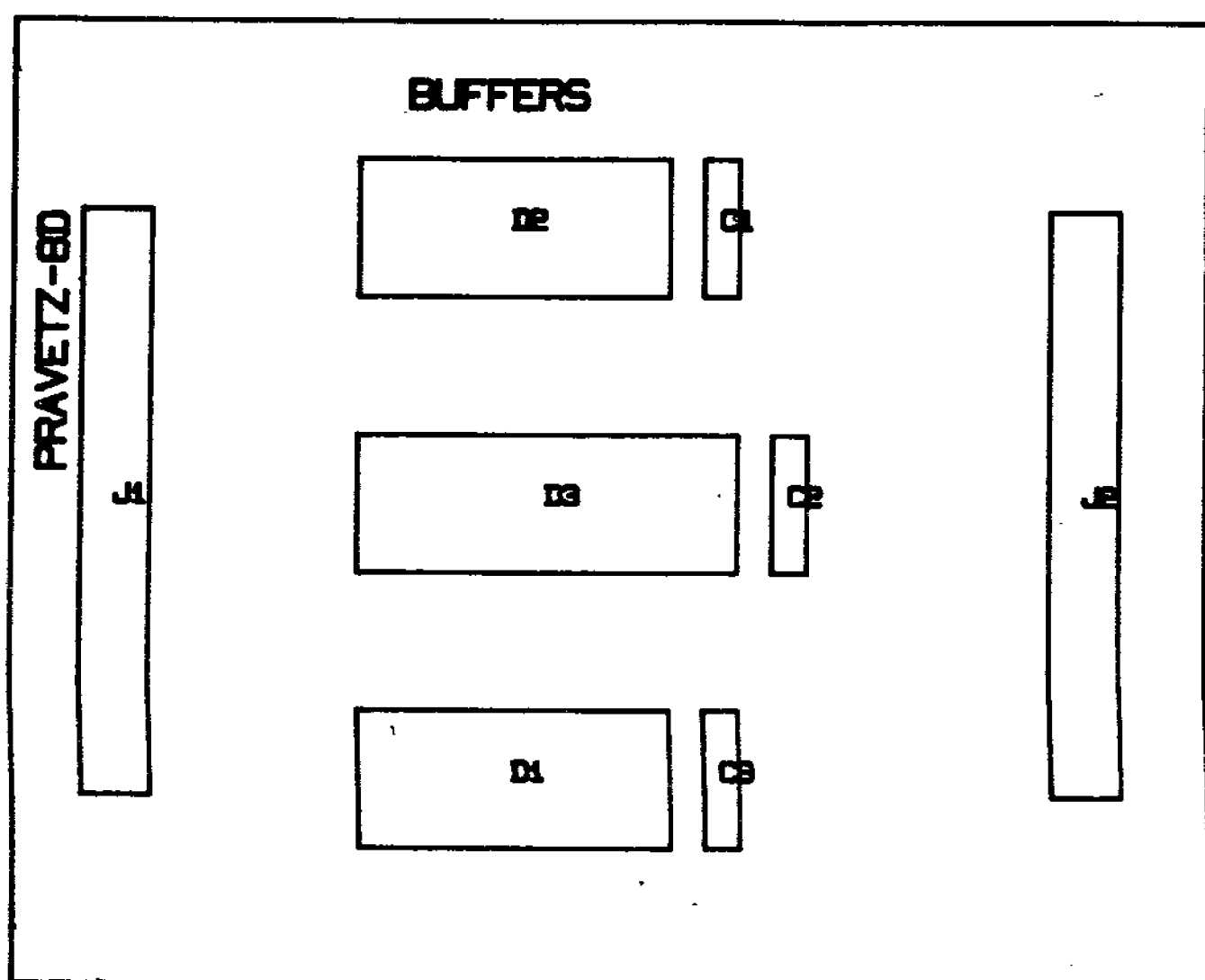
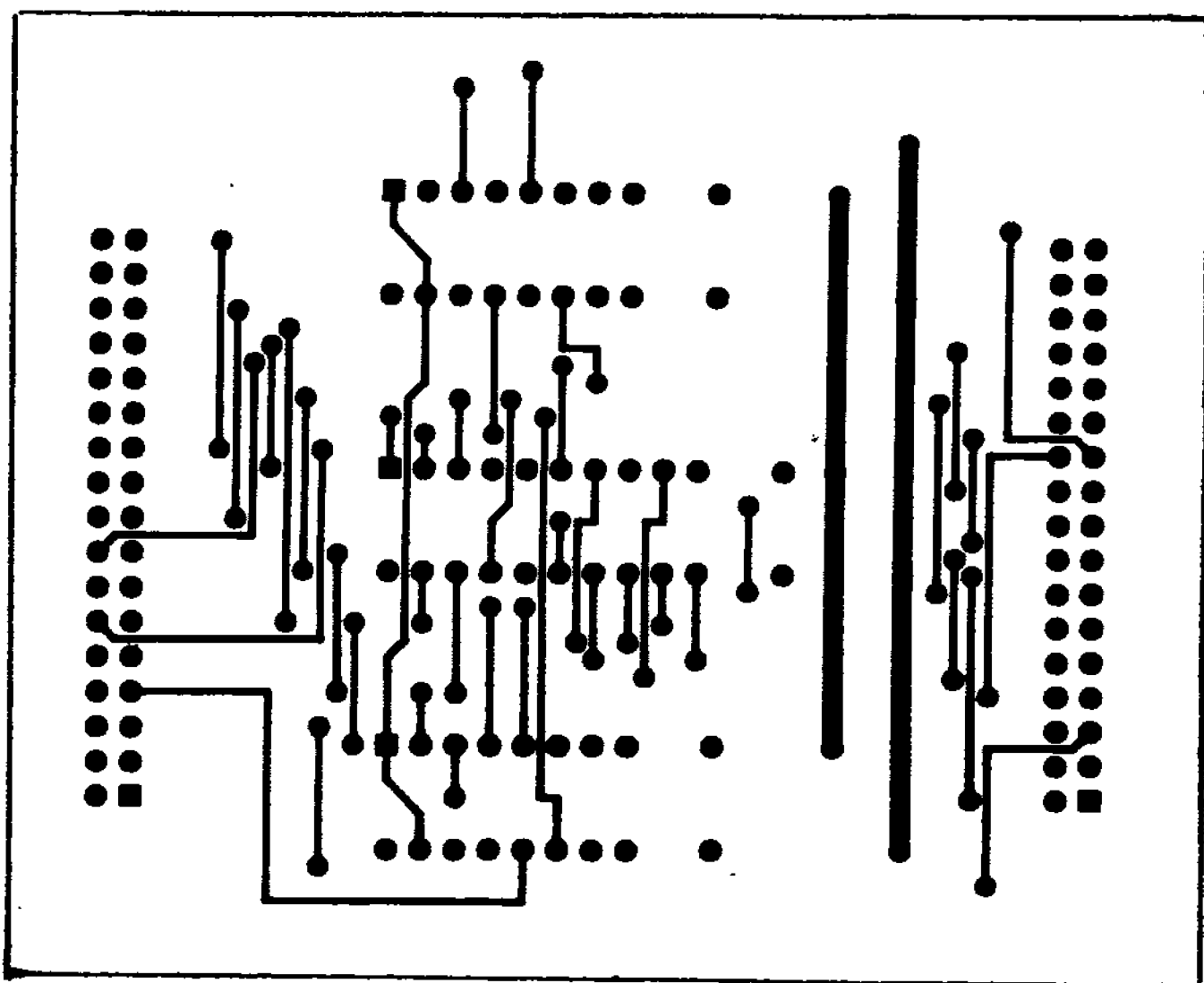
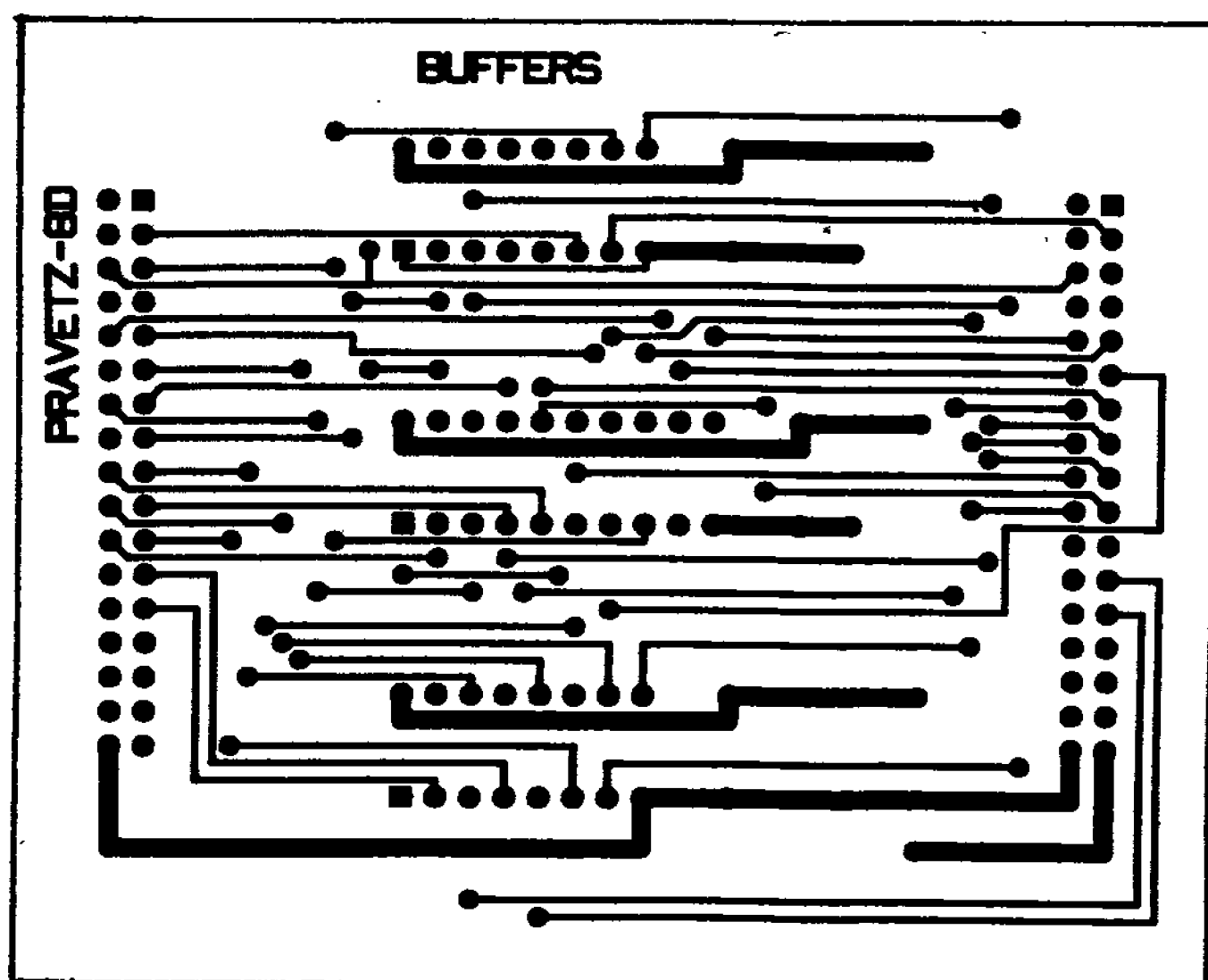
две дискови устройства, така че ако ги имате, може да ги използвате.

Какви функции изпълняват отделните интегрални схеми? Най-напред ще ви успокоя, че ако не намерите схеми от LS серията, не бързайте да се отказвате. Всички схеми от втората платка (без EPROM-а) могат да бъдат от нормалната TTL серия.

Един от инверторите на интегралната схема 74LS04 е предназначен за сигнала I/O, идващ от компютъра. Този сигнал е с активно ниско ниво (логическа нула) когато адресът, изработен от микропроцесора, е в областта от \$300 до \$3FF. След инвертиране сигналът I/O служи за изработване на други управляващи сигнали. С четири

инвертора и две четириходови схеми И-НЕ, свързани към адресните шини A4, A5, A6 и A7, се дешифрират две адресни пространства: от \$300 до \$30F и от \$310 до \$31F. Сигналът, получен при дешифрирането на второто адресно пространство, се инвертира още веднъж с един от инверторите и се използва при получаването на сигнала Device Select (перо 41 от куплунга за ФДУ контролера). С три триходови схеми И-НЕ се получават сигналите:

- вече споменатият Device Select, който преминава в активно ниско ниво в адресното пространство от \$310 до \$31F по време на Ф2;
- I/O Control с активно ниско ниво в адресното пространство от \$310 до \$3FF по време на Ф2. Из-



ползва се за разрешаване на двупосочния буфер за данни 74LS245 (на малката платка) и за забрана на VIA 6522 (в компютъра);

- Chip Enable с активно ниско ниво в адресното пространство от \$320 до \$3FF. Не е тактуван с Ф2. Използва се за разрешаване на EPROM-а, в който е записана програмата за първоначално зареждане.

Разрешаващият изходните буфери на EPROM сигнал Output Enable се получава чрез инвертирането на тактовата поредица Ф2.

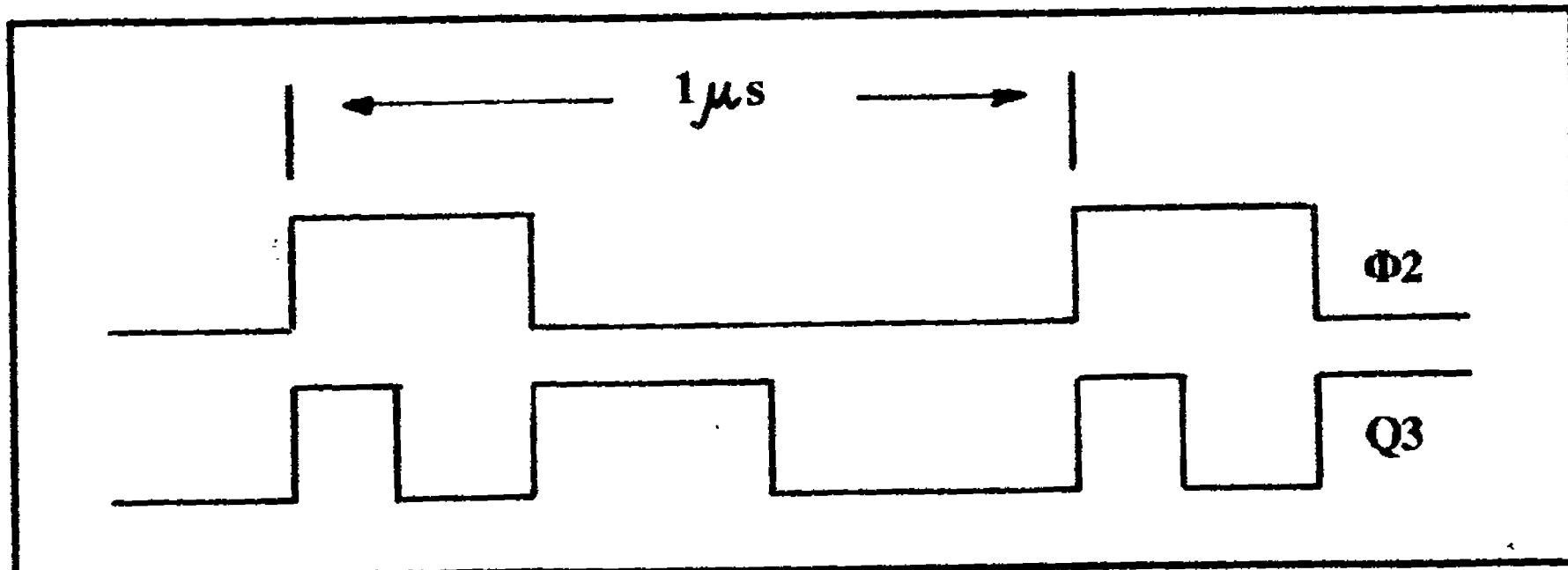
Странното на пръв поглед двукратно инвертиране на адресния сигнал A0 е необходимо за надеждна работа на адресируемия L-тригер 74LS259, намиращ се на ФДУ контролера. A0 е всъщност стойността на бита, който ще се запише в тригера, а адресните шини A1, A2 и A3 определят в кой от осемте тригера ще се запише тази стойност. Чрез двукратно инвертиране се получава необходимото закъснение на A0, т.к. стойността на A0 се фиксира с предния фронт на сигнала Device Select, който също е получен с известно закъснение. При преден фронт на Device Select, всъщност при заден фронт на Ф2, съдържанието на адресните шини започва да губи валидността си.

Специално внимание е отделено на изработването на асиметричния тактов сигнал Q3 с честота 2 MHz. Този сигнал се генерира от Ф2 с помощта на два моновибратора - схемата 74LS123. Поради несиметричността на поредицата Ф2 при Правец-8Д, стойностите на резисторите, а оттам и на времената на всеки от моновибраторите, са различни. При посочените стойности на резисторите и кондензаторите не би трябвало да възникнат проблеми при пускане на схемата. Ако все пак цялото устройство не заработи, ви съветвам да насочите вниманието си в това звено. При наличие на осцилоскоп лесно може да контролирате формата на сигнала Q3 в зависимост от стойностите на резисто-



рите. Лично аз бях поставил два тример-потенциометъра, с чиято помощ (без осцилоскоп) оживих генератора. Ето приблизителни форми на сигналите Ф2 и Q3:

Фиг. 1 ►



Временните съотношения в сигнала Q3 не са от съществено значение. По-важно е наличието на фронтите.

Адресите от \$310 до \$31F (Device Select) не отговарят на клетки от паметта. Те се дешифрират от споменатата схема 74LS259, намираща се върху ФДУ контролера и предизвикват следното действие:

Таблица ►

- \$310 - Изключване на фаза 0 на стъпковия двигател
- \$311 - Включване на фаза 0 на стъпковия двигател
- \$312 - Изключване на фаза 1 на стъпковия двигател
- \$313 - Включване на фаза 1 на стъпковия двигател
- \$314 - Изключване на фаза 2 на стъпковия двигател
- \$315 - Включване на фаза 2 на стъпковия двигател
- \$316 - Изключване на фаза 3 на стъпковия двигател
- \$317 - Включване на фаза 3 на стъпковия двигател
- \$318 - Изключване на двигателя на шпиндела
- \$319 - Включване на двигателя на шпиндела
- \$31A - Избор на първо дисково устройство
- \$31B - Избор на второ дисково устройство
- \$31C - Стробиране на регистъра за данни
- \$31D - Регистър за данни
- \$31E - Избор на режим "Четене"
- \$31F - Избор на режим "Запис"

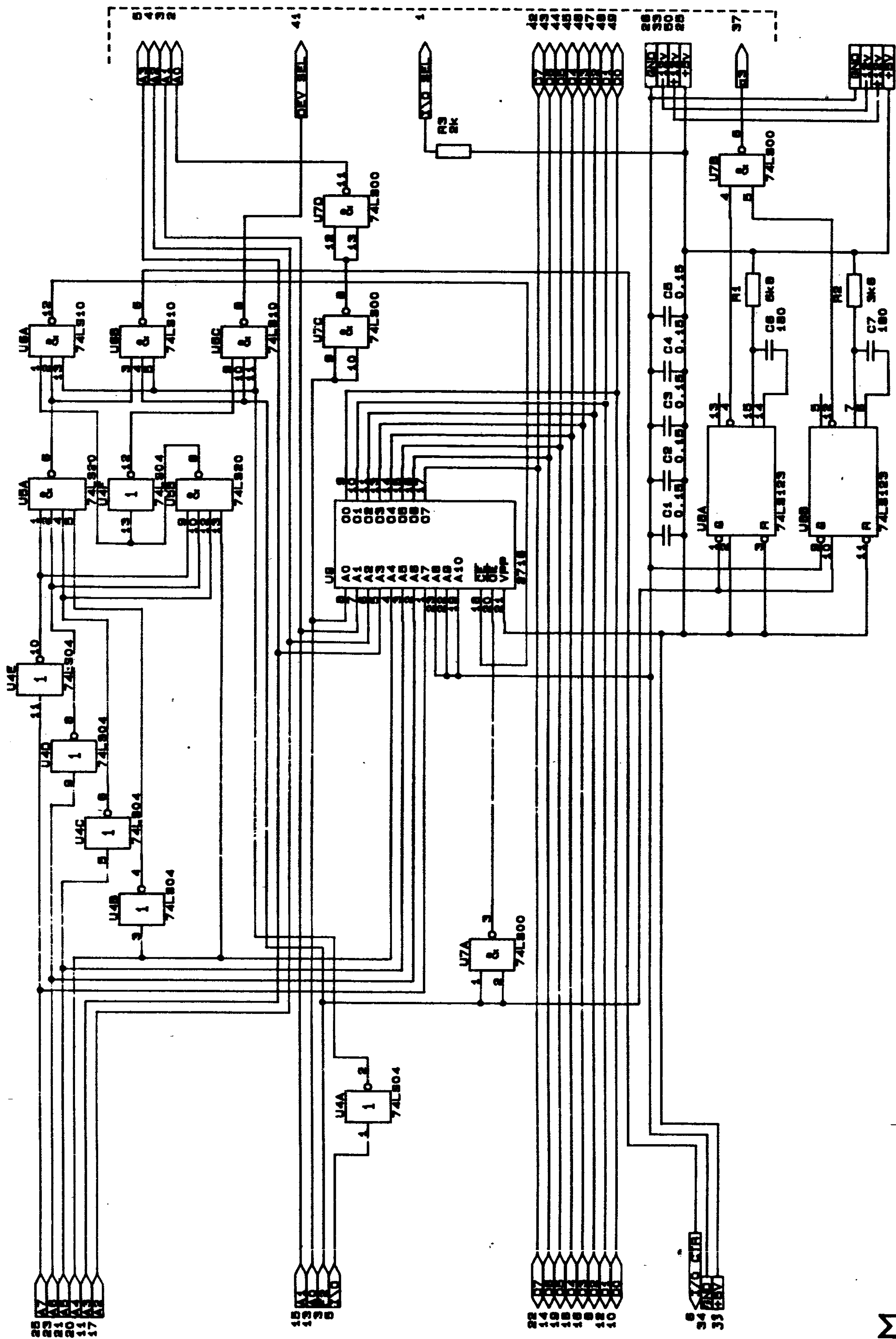
Паметта EPROM 2716 се чете в адресното пространство от \$320 до \$3FF. (Това адресно пространство е на микропроцесора, а не на EPROM!) Както сами може да си направите сметка, от всичките 2048 байта се използват само 224, т.е. от наличните осем страници по 256 байта се използва само нулевата и то не цялата. Ето защо адресните шини A8, A9 и A10 на EPROM-а са свързани към маса.

Внимание! Информацията в EPROM трябва да се запише от начален адрес \$20 до \$FF. Съществува възможност записът в EPROM да се извърши и от друг начален адрес, например \$520, но в този случай адресните шини A8, A9 и A10 трябва да се свържат съответно към +5V, маса, +5V (101 е числото 5 в двоичен вид).

ИЗПОЛЗВАНИ ЕЛЕМЕНТИ

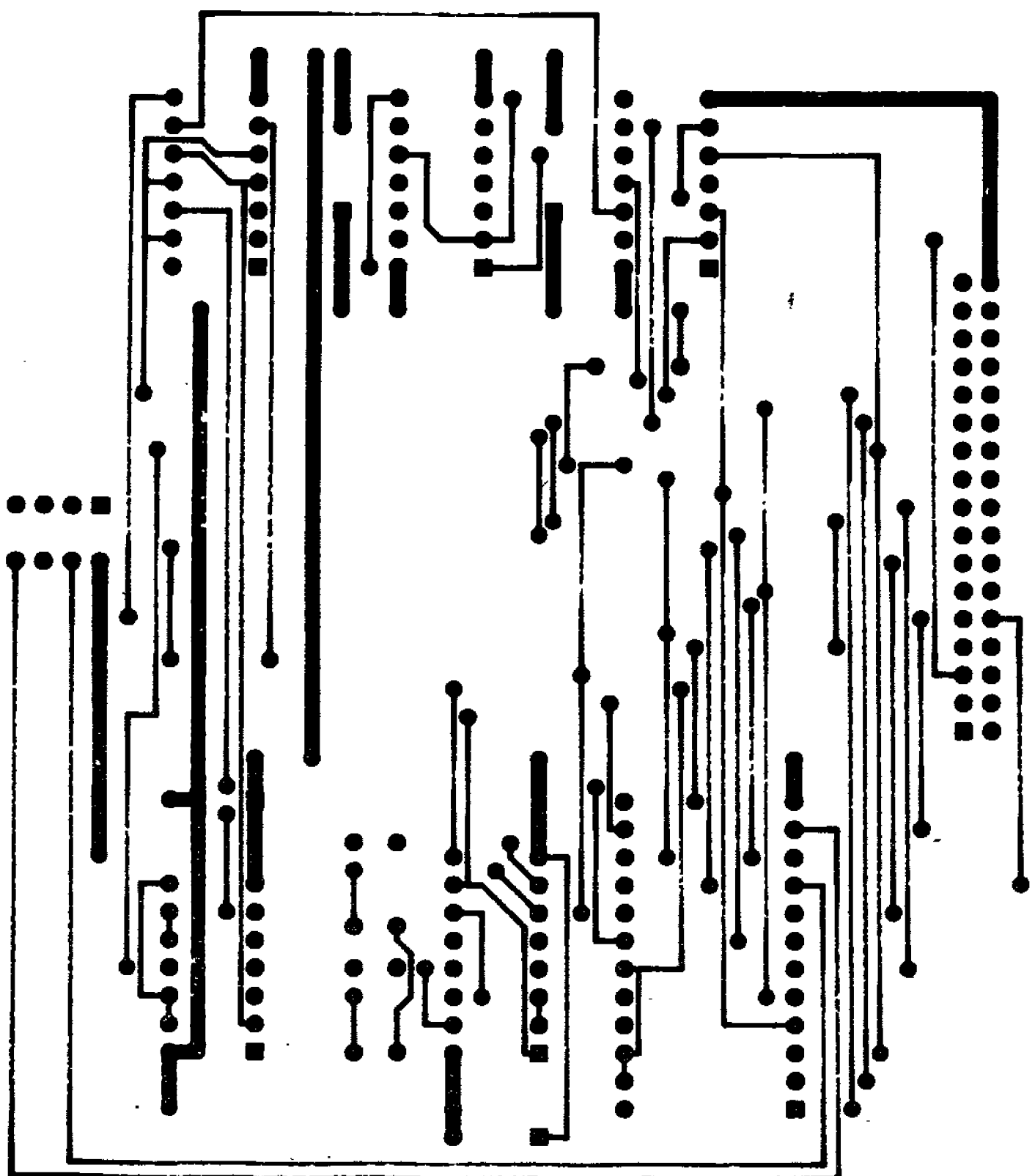
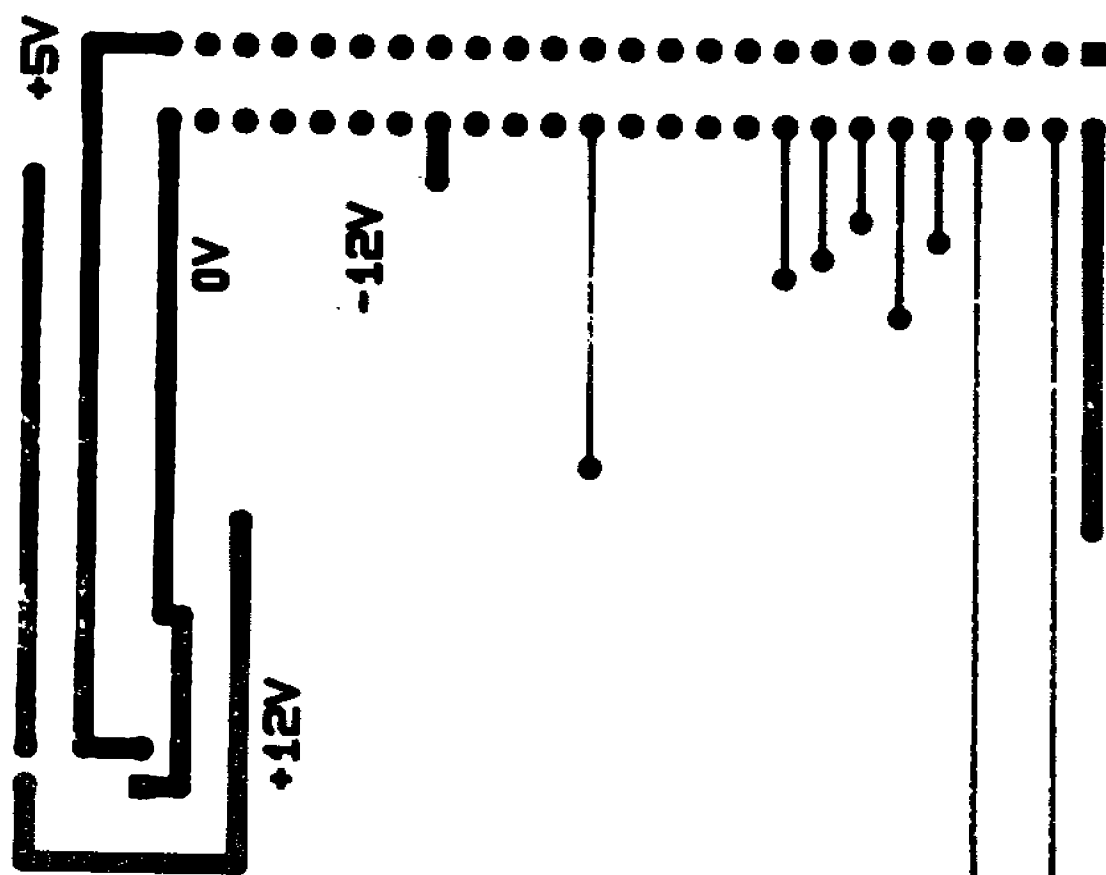
За повечето интегрални схеми вече стана дума. Някои от тях допускат голям брой аналози и не са претенциозни по отношение на параметрите си. Ето списъка на необходимите елементи:

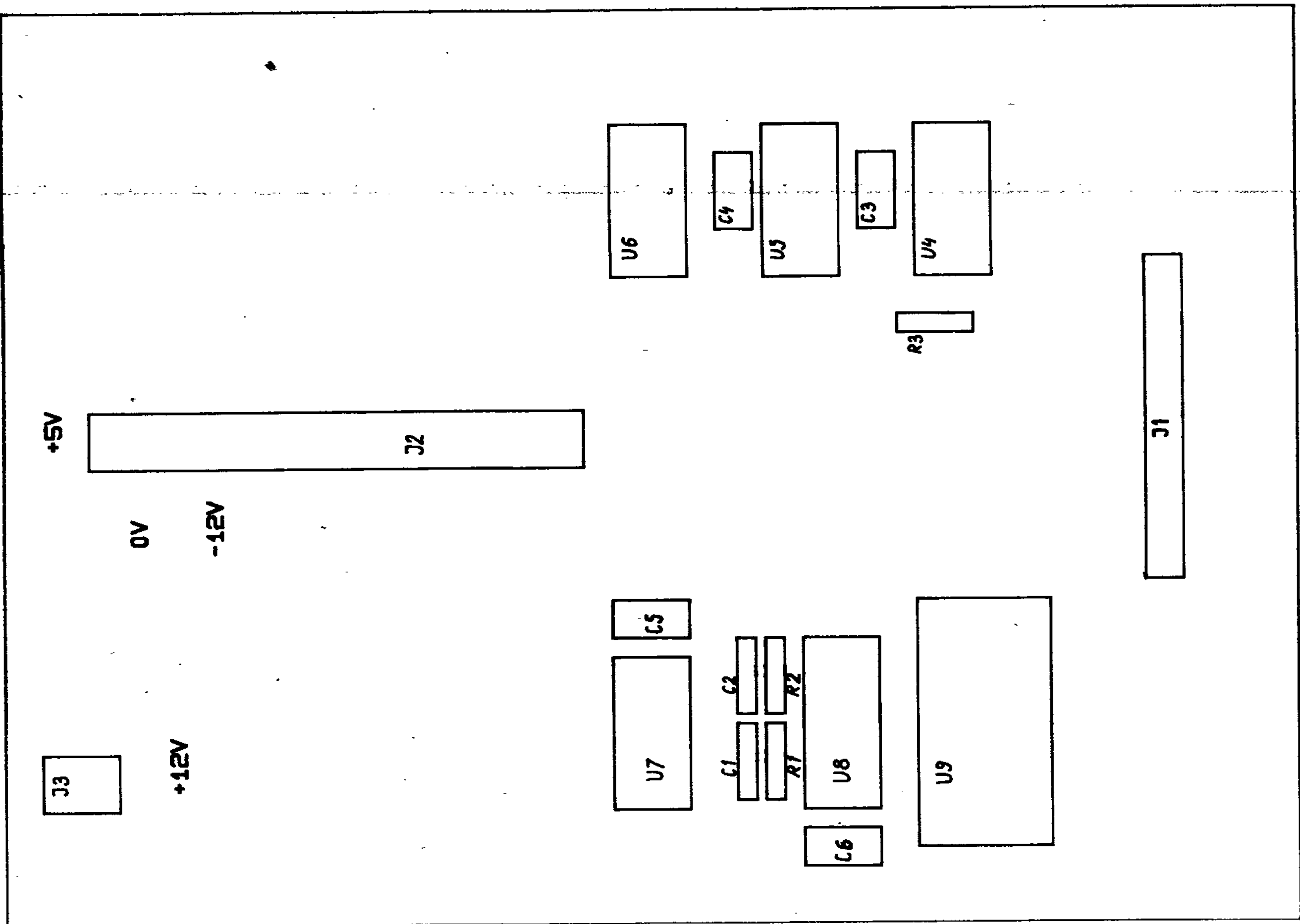
Интегрални схеми	Възможни аналози	Тип на схемата	Брой
74LS00	7400, K555ЛАЗ, K155ЛАЗ	4 двувходови И-НЕ	1
74LS04	7404, K555ЛНЗ, K155ЛНЗ	6 инвертора	1
74LS10	7410, K555ЛА4, K155ЛА4	3 тривходови И-НЕ	1
74LS20	7420, K555ЛА1, K155ЛА1	2 четириходови И-НЕ	1
74LS123	74123, K555АГЗ, K155АГЗ	2 моновибратора	1
2716	2516	EPROM 2k x 8 bit	1
74LS365	8T97, MC6887, 1ЛП6887	6 еднопосочни буфера	2
74LS245		8 двупосочни буфера	1
Резистори:	2.2 k Ω 1 бр. 3.6 k Ω 1 бр. 6.8 k Ω 1 бр.		
Кондензатори:	180 pF 2 бр. 150 nF 8 бр. (филтрови)		



Страна
спойки

Страна
элементы





На платките са предвидени отвори за четири куплунга. Двата са двуредови 2 x 17 пера със стъпка 1/10 инча (2.54 mm) и са предназначени за включване на плоския кабел, свързващ двете платки на устройството. Самият тридесет и четири проводен кабел трябва да има в двата си края съответни куплунзи. Ако сте затруднени с намирането им, може да започнете краищата на плоския кабел в отворите за куплунзите върху платките. Но в този случай трябва да предвидите надеждно закрепване на кабела, иначе ще се налага често да хващате поялника. Куплунгът, осъществяващ връзката на малката платка с Правец-8Д, и куплунгът (слот) за ФДУ контролера са "задължителни". Вторият е познатият ви от Правец-82 двуредов куплунг с 2 x 25 пера.

Куплунгът, включващ се в Правец-8Д е двуредов с 2 x 17 пера, като при това има изводи за запояване в платка. Ако не си набавите такъв, ще ви опиша как да го направите (както си го направих и аз). Вземете куплунг от Евро-платка, който е триредов. Най-напред отрежете парче от него с три реда по

17 пера, а после отрежете единия ред. Дооформете куплунга с пила, така че да се включва и изключва в компютъра без затруднения. Изводите, стърчащи от куплунга, ги огънете и започете към малката платка.

Описание на програмата за първоначално зареждане

ДОС-8Д е сложна програма на машинен език с дължина около 9 Кбайта. Тя е предназначена да работи в оперативната памет на Правец-8Д, като "се грижи" за всички дискови операции. С включването на компютъра обаче в оперативната памет няма никакви програми. Необходимо е ДОС-8Д да се зареди от дискета и да и се предаде управлението. Зареждането става на три етапа. При първия етап се зарежда нулевият сектор от нулевата пътека. Това именно се прави от програмата за първоначално зареждане, намираща се в EPROM-а на устройството. Нулевият сектор с дължина 256 байта се помещава в адресното пространство от \$B800 до \$B8FF от оперативната памет на Правец-8Д. Това е също програма на ма-

шинен език, с чиято помощ се зареждат още 9 сектора от дискетата (втори етап), а именно сектори от 1 до 9, намиращи се върху нулевата пътека. Заредените сектори представляват подпрограмата RWTS от ДОС-8Д, която осъществява физическите четене и запис на сектор от/върху дискета. RWTS осъществява окончателното зареждане на ДОС-8Д (трети етап) в оперативната памет на компютъра.

При изпълнение на командата CALL 800 от Бейсик или на еквивалентната и CALL #320 управлението се предава на програмата в EPROM. Нейните функции са:

- в областта от \$B456 до \$B4FF построява динамична транслационна таблица за превръщане на прочетените кодове от дискетата в шестбитови стойности;
- установява режим на четене, избира първо ФДУ и го стартира;
- придвижва главата със 72 пътечки навън, за да се осигури сигурен достъп до нулевата пътека. В резултат се чува характерен стържещ звук;



- установява параметри за прочитане на нулевия сектор от нулевата пътека;

- прочита сектор 0, пътека 0 с помощта на подпрограмата за четене на сектор с начален адрес \$36D;

- извършва преход към адрес \$B800 (от току-що прочетения сектор) за осъществяване на втория етап от зареждането на ДОС-8Д.

Поради различни хардуерни съображения, записът на информация върху дискетата се извършва след предварително кодиране. За информацията в адресните полета се извършва т.нар. "4 + 4" кодиране, при което четири бита се кодират с един байт, оттук и понятието "двоен байт" (виж коментарите на

програмата). Информацията в полето за данни се кодира по метода "6 + 2", при който шест бита полезна информация се кодират с един байт. Така за един сектор от 256 байта, върху диска се записват $256 * 8/6 = 341$ байта плюс контролна сума, общо 342 байта. При прочитането на сектор програмата за първоначално зареждане разполага 256 байта в областта от \$B800 до \$B8FF, а останалите $342 - 256 = 86$ байта в областта от \$B400 до \$B455 - преди транслационната таблица. Следва прекодиране на информацията от двете области и записването ѝ в буфера от \$B800 до \$B8FF. Тези 256 байта са съдържанието на прочетения сектор. При работата

си ДОС-8Д прекодира информацията по аналогичен начин, но в специално предназначени за това буфери.

Искам да изкажа благодарност на съпругата ми Русалина, помогнала ми при оформянето на този материал. Благодаря и на Венцислав Гълъбов от ИСП, с чиято помощ бяха изработени графичните оригинали на платките.

ПРЕДУПРЕЖДЕНИЕ НА РЕДАКЦИЯТА: Документацията за контролера може да бъде използвана само за лични нужди, но не и за производство и разпространение с търговски цели.

```

1 *****
2 *
3 * ПРОГРАМА А ЗА ПЪРВОНАЧАЛНО
4 *
5 * ЗАРЕЖДАНЕ НА ДОС-8Д
6 *
7 * ОТ БОРИСЛАВ ЗАХАРНЕВ
8 *
9 *****
10
11     ORG $320
12
13 * ПРОГРАМАТА ТРЯБВА ДА СЕ ЗАПИШЕ
14 * В EPROM С НАЧАЛЕН АДРЕС $20
15
16 * АДРЕСИ НА ФАУ КОНТРОЛЕРА
17
18 DEVICE = $0310 ; ФАУ КОНТРОЛЕР
19 PHOON = DEVICE+1 ; ВКЛЮЧВАНЕ НА ФАЗА 0
20 MOTON = DEVICE+9 ; ВКЛЮЧВАНЕ НА МОТОРА
21 DRIVE1 = DEVICE+$A ; ПЪРВО ФАУ
22 IO = DEVICE+$C ; СТРОБ БУФЕР ДАНИИ
23 READ = DEVICE+$E ; РЕЖИМ "ЧЕТЕНЕ"
24
25 * АДРЕСИ ОТ ПАМЕТТА НА ПРАВЕЦ-8А
26
27 NIBBLE = $B400 ; ТРАНСЛАЦИОННА ТАБЛИЦА
28 SECTO = $B800 ; БУФЕР ЗА СЕКТОР 0, ПЪТЕЧКА 0
29
30 SEI ; ЗАБРАНА НА ПРЕКЪСВАНИЯТА
31 CLD ; АВОМЧЕН РЕЖИМ
32
33 * СЪЗДАВАНЕ НА ТРАНСЛАЦИОННА ТАБЛИЦА
34 * ЗА ПРЕОБРАЗУВАНЕ НА ПРОЧЕТИТЕ КОДОВЕ
35 * ОТ ДИСКЕТАТА В ШЕСТЪТОНИ СТОЯНОСТИ
36
37 LDY #00
38 LDX #03
39 LOOP STX $78 ; РАБОТНА КЛЕТКА
40 TXA
41 ASL
42 BIT $78

```

```

032C: F0 10 43
032E: 05 78 44
0330: 49 FF 45
0332: 29 7E 46
0334: B0 08 47
0336: 4A 48
0337: D0 FB 49
0339: 98 50
033A: 9D 56 B4 51
033D: C8 52
033E: E8 53
033F: 10 E5 54
55
56
57
0341: 2C 1E 03 58
0344: 2C 1C 03 59
0347: 2C 1A 03 60
034A: 2C 19 03 61
62
034D: A2 00 63
034F: A0 48 64
0351: D0 10 03 65
0354: 98 66
0355: 29 03 67
0357: 0A 68
0358: AA 69
0359: D0 11 03 70
71
035C: A2 0A 72
035E: D6 76 73
0360: D0 FC 74
0362: CA 75
0363: 10 F9 76
0365: AA 77
0366: B8 78
0367: 10 E8 79
80
0369: A9 B8 81
036B: B5 77 82
83
84
85
036D: 18 86

```

```

BEE BGE
ORA $78
EOR $FF
AND $7E
BCS BBE
LSR
BNE NE
TYA
STA NIBBLE+$36,X
INY
INX
BPL LOOP
* ТАБЛИЦАТА Е СЪЗДАДЕНА!
* СЛЕДВА МИНИМАЛИЗАЦИЯ НА ФАУ
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99

```

```

BIT READ ; РЕЖИМ "ЧЕТЕНЕ"
BIT IO ; ИЗБОР НА ПЪРВО ФАУ
BIT DRIVE1 ; ВКЛЮЧВАНЕ НА МОТОРА
BIT MOTON ; ВКЛЮЧВАНЕ НА МОТОРА
LDX #00 ; ПРИКЛЮЧВАНЕ НА
LDY #48 ; ГЛАВАТА 72 ПЪТЕЧКИ
BACK CMP DEVICE,X ; НАЗАД, ЗА ДА СЕ
TYA ; ГАРАНТИРА
AND #03 ; ПОЗИЦИОНИРАНЕТО
ASL ; ВЪРХУ НУЛЕВА
TAX ; ПЪТЕЧКА.
CMP PHOON,X
NOTO LDX #0A ; ИЗБОР НА РАБОТНИ
DEC $76,X ; КЛЕТКИ ЗА ДОС-8А
BNE NOTO ; И ЕДНОВРЕМЕННО
DEX ; ИЗЧАКВАНЕ ОТ 20 NS
BPL NOTO ; МЕЖДУ ПЪТЕЧКИТЕ.
TAX
DEY
BPL BACK
LDA #B8B ; СТАРША ЧАСТ НА АДРЕСА
STA $77 ; НА БУФЕРА ЗА Т0/30
* ПОДПРОГРАМА ЗА ПРОЧИТАНЕ НА СЕКТОР
RSECT CLC

```


036E: 08	87	RSC1	PHP	
036F: AD 1C 03	88	PL1	LDA 10	;ЧЕТЕНЕ НА
0372: 10 FB	89		BPL PL1	;ТРИ ПОСЛЕДОВАТЕЛНИ
0374: 49 D5	90	NE2	EOR 00D5	;БАНТА ОТ АНКЕТАТА.
0376: D0 F7	91		BNE PL1	;АКО ТЕ ЕА D5/AA/96
0378: AD 1C 03	92	NE1	LDA 10	; - НАМЕРЕНО Е
0379: 10 FB	93		BPL NE1	;НАЧАЛО НА
037D: C9 AA	94		CMP 00AA	;АДРЕСНО ПОЛЕ.
037F: D0 F3	95		BNE NE2	
0381: EA	96		NOP	
0382: AD 1C 03	97	PL2	LDA 10	
0385: 10 FB	98		BPL PL2	
0387: C9 96	99		CMP 0096	
0389: F0 09	100		BEQ ET1	
038B: 28	101		PLP	
038C: 90 DF	102		BCC RSECT	
038E: 49 AD	103		EOR 00AD	;АКО ПОРЕДИКАТА Е
0390: F0 25	104		BEQ LB1	;D5/AA/AD - НАМЕРЕНО Е
0392: D0 B9	105		BNE RSECT	;НАЧАЛО НА ПОЛЕ ДАННИ.
	106			
0394: A0 03	107	ET1	LDY 0003	;ПРОЧИТАНЕ НА
0396: 85 7C	108	ET2	STA 07C	;ЧЕТРИ "АДРЕСИ" БАНТА,
0398: AD 1C 03	109	PL3	LDA 10	;ОТ КОИТО СЕ ПОЛУЧАВАТ
039B: 10 FB	110		BPL PL3	;ТОНИТ, ПЪТЕЧКАТА И
039D: 2A	111		ROL	;СЕКТОРЪТ
039E: 85 7B	112		STA 07B	
03A0: AD 1C 03	113	PL4	LDA 10	;АКО ГЛАВАТА Е
03A3: 10 FB	114		BPL PL4	;ПОЗИЦИОНИРАНА
03A5: 25 7B	115		AND 07B	;ВЪРХУ СЕКТОРА,
03A7: 88	116		DEY	;КОИТО НОМЕР Е
03A8: D0 EC	117		BNE ET2	;В КЛЕТКА 079,
03AA: 28	118		PLP	;А НОМЕРА НЪТ НА ПЪТЕЧКАТА
03AB: C5 79	119		CMP 079	;СЪВПАДА С НОМЕРА В
03AD: D0 BE	120		BNE RSECT	;КЛЕТКА 07D - СЕКТОРЪТ
03AF: A5 7C	121		LDA 07C	;СЕ ПРОЧИТА В БУФЕР
03B1: C5 7D	122		CMP 07D	;С НАЧАЛЕН АДРЕС
03B3: D0 B8	123		BNE RSECT	;В КЛЕТКИ 076 И 077.
03B5: D0 B7	124		BCC RSC1	
	125			
03B7: A0 56	126	LB1	LDY 0056	;ПРОЧИТАНЕ НА D5 БАНТА
03B9: 84 7B	127	LB2	STY 07B	;ОТ АНКЕТАТА
03BB: AC 1C 03	128	PL5	LDY 10	;В ОБЛАСТТА
03BE: 10 FB	129		BPL PL5	;ОТ 00400 ДО 00495.
03C0: 59 D6 B3	130		EOR NIBBLE-02A,Y	
03C3: A4 7B	131		LDY 07B	
03C5: 88	132		DEY	
03C6: 99 00 B4	133		STA NIBBLE,Y	
03C9: D0 EE	134		BNE LB2	
	135			
03CB: 84 7B	136	LB3	STY 07B	;Y = 0
03CD: AC 1C 03	137	PL6	LDY 10	;ПРОЧИТАНЕ НА
03D0: 10 FB	138		BPL PL6	;ОБЕ 256 БАНТА
03D2: 59 D6 B3	139		EOR NIBBLE-02A,Y	
03D5: A4 7B	140		LDY 07B	;В ОБЛАСТТА
03D7: 91 76	141		STA (076),Y	;ОТ 00800 ДО 008FF.
03D9: C8	142		INY	
03DA: D0 EF	143		BNE LB3	
	144			
03DC: AC 1C 03	145	PL7	LDY 10	;ПРОЧИТАНЕ НА
03DF: 10 FB	146		BPL PL7	;КОНТРОЛНАТА СУМА.
03E1: 59 D6 B3	147		EOR NIBBLE-02A,Y	
03E4: D0 B7	148		BNE RSECT	;АКО ТЯ Е (<) 0 - НОВО ЧЕТЕНЕ
	149			
03E6: A0 00	150		LDY 0000	;ПРЕКОДНАРАНЕ НА
03E8: A2 56	151	NI	LDX 0056	;ПРОЧЕТЕНИТЕ
03EA: CA	152	NE3	DEX	;БАНТОВЕ ОТ АНКЕТАТА
03EB: 30 FB	153		BNI NI	;В ВЕСТИТОВКИ
03ED: B1 76	154		LDA (076),Y	;СТОЙНОСТИ, ОТ КОИТО
03EF: 5E 00 B4	155		LSR NIBBLE,X	;СЕ ПОЛУЧАВАТ
03F2: 2A	156		ROL	;ДЕЙСТВИТЕЛНИТЕ
03F3: 5E 00 B4	157		LSR NIBBLE,X	;СТОЙНОСТИ НА

03F6: 2A	158	ROL	;БАНТОВЕТЕ НА
03F7: 91 76	159	STA (076),Y	;ПРОЧЕТЕНИИ СЕКТОР.
03F9: C8	160	INY	
03FA: D0 EE	161	BNE NE3	
03FC: 4C 00 B8	162	JMP SECT0	;КЪМ НАЧАЛОТО НА СЕКТОР 0
	163		
03FF: FF	164	HEX FF	;АДРЕСЪТ ТРЯБВА ДА Е 03FF

--ЕМА АССЕМБЛИ--

224 БИТЕС

ЕРРОРС: 0

БЪНДО ТАБЛЕ - АНТИКАБЕТИРАЛ ОРАЕР:

1
ICALL-151

*320.3FF

0320-	78	D8	A0	00	A2	03	56	7B
0328-	24	0A	04	72	F0	14	05	7B
0330-	49	5F	20	7E	B0	0E	43	80
0338-	FB	93	9B	51	B4	02	E8	10
0340-	E5	25	1E	03	20	10	03	20
0348-	1A	03	20	19	03	A2	00	A0
0350-	4E	DB	10	13	5B	29	07	0A
0358-	AA	DD	11	03	A2	00	04	76
0360-	D0	FC	0A	10	F9	0A	82	10
0368-	E3	A9	BE	85	77	18	08	AD
0370-	1C	03	10	FB	49	B5	D0	F7
0378-	AD	1C	03	10	FB	C9	AA	D0
0380-	F3	EA	AD	1C	03	10	FB	C9
0388-	96	F0	09	22	90	DF	49	AD
0390-	F0	25	D0	09	A0	03	85	7C
0398-	AD	1C	03	10	FB	2A	B5	7B
03A0-	AD	1C	03	10	FB	25	7B	8B
03A8-	D0	EC	28	C5	79	D0	BE	A5
03B0-	7C	C5	7D	D0	B8	B0	B7	A0
03B8-	56	B4	7B	AC	1C	03	10	FB
03C0-	59	D6	B3	A4	7B	B8	99	00
03C8-	B4	D0	EE	94	7B	AC	1C	03
03D0-	10	FB	57	D6	B3	A4	7B	91
03D8-	76	C8	D0	EF	AC	1C	03	10
03E0-	FB	59	D6	B3	D0	B7	A0	00
03E8-	A2	56	CA	30	FB	B1	76	5E
03F0-	00	B4	2A	5E	00	B4	2A	91
03F8-	76	C8	D0	EE	AC	00	B8	FF

ПОПРАВКА

В статията "Контролер за флопидисково разширение към Правец-8Д" (КВ.1-2.89) по вина на автора е допусната грешка при изчертаването на принципната схема. Изводите на ИС 74LS245 с означения от А1 до А8

следва да се разменят съответно с изводите от В1 до В8. Това са следните двойки крачета на ИС 74LS245: 2 и 18, 3 и 17, 4 и 16, 5 и 15, 6 и 14, 7 и 13, 8 и 12, 9 и 11. Грешката се е отразила при изготвянето на графичния оригинал на малката платката с буферните ИС.

КВ-7