

Typ	Bestellnummer	Gehäuse
S 187 B	Q67100-Y199	P-DIP 28

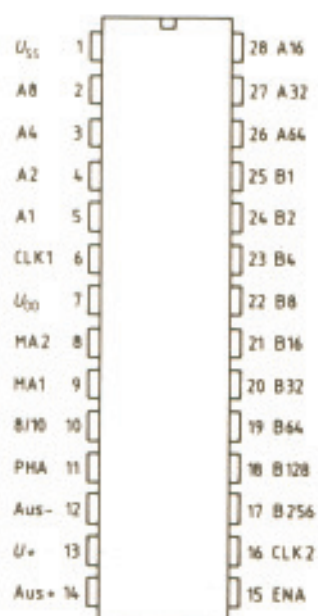
Der S 187 ist ein hochintegrierter MOS-Baustein mit folgenden besonderen technischen Merkmalen:

- Mehr als 500 000 verschiedene Frequenzen einstellbar
- 8 verschiedene Referenzfrequenzen einstellbar
- Hohe Flexibilität durch entsprechende Codierung
- Hohe Referenz-Eingangsfrequenz
- Integrierter Phasen-Komparator
- Einfache 10-V-Versorgung
- Niedrige Verlustleistung auch bei hohen Frequenzen
- Zur Frequenzeinstellung speziell geeignete programmierbare Diodenmatrix S 353
- Speziell geeigneter Vorteiler S 89 zur Erweiterung bis 500 MHz

**Anwendungsmöglichkeiten**

- Vielkanalgeräte
- Navigationsgeräte
- Citizen Band Radio
- Scanning Receiver
- Signal-Generatoren

**Anschlußanordnung**  
(Ansicht von oben)



## Anschlußbezeichnungen

Eingänge			Ausgänge		
Kurz-bez.	An-schluß		Kurz-bez.	An-schluß	
A 1	5	Binär-codierte Eingänge für ein- stellbaren Synchron- Teiler (A) 7-bit	ENA	15	Freigabe-Ausgang
A 2	4		PHA	11	Phasenvergleichers- Ausgang
A 4	3				
A 8	2				
A 16	28				
A 32	27				
A 64	26	Binär-codierte Eingänge für ein- stellbaren Synchron- Teiler (B) 9-bit			
B 1	25				
B 2	24				
B 4	23				
B 8	22				
B 16	21				
B 32	20	Takt-Eingang 1 für Asynchronteiler (max. 6,4 MHz)	AUS+	14	Drain Anschluß eines externen Enhancement n-Kanal-MOS- Transistors zur Bildung einer Tristate-Stufe
B 64	19				
B 128	18				
B 256	17				
CLK 1	6				
CLK 2	16	Takt-Eingang 2 für Synchron-teiler (max. 2,5 MHz)			
8/10	10	Teiler-einstellung 8 oder 10 für Asynchronteiler	AUS-	12	Gateanschluß für externen n-Kanal MOS-FET
MA 1	9	Multiplex-Anwahl 1 und 2	U+	13	Source-Anschluß des internen p-Kanal-MOS-FET. Anschluß einer zusätzlich gesieberten Spannung zur Störungsverminderung am Tiefpaß.
MA 2	8				
Uss	1				
UDD	7	Versorgung			



Grenzdaten		Bedingung	untere Grenze B	obere Grenze A	
Speisespannung	$U_{DD}$	bezogen auf $U_{SS} = 0\text{ V}$	-15	0,3	V
Spannung an allen Anschlüssen	$U$		-15	0,3	V
Sperrschichttemperatur	$T_j$			125	°C
Lagertemperatur	$T_s$		-40	125	°C
Umgebungstemperatur	$T_U$		-20	70	°C
S 187 B					
Wärmewiderstand					
System-Umgebung	$R_{th\text{ SU}}$			50	K/W

Statische Kenndaten		Prüfbedingungen	untere Grenze B	typ	obere Grenze A	
$U_{SS} = 10\text{ V}$ im Temperaturbereich						
Speisespannung	$U_{SS}$	$U_{DD} = 0\text{ V}$ als Masse und Referenzspannung verwendet	9	10	11	V
$U_{SS\text{ typ}} = 10\text{ V}$				8	35	mA
Stromaufnahme	$I_{SS}$					
Eingänge						
A1 bis A 64,						
B1 bis B 256, 8/10						
L-Widerstand	$R_{LL}$	$C_e = 10\text{ pF}$ gegen $U_{SS}$	0		3	k $\Omega$
H-Widerstand	$R_{HH}$		100		$\infty$	k $\Omega$
Eingangsstrom	$I_{IL}$	(Kurzschluß gegen $U_{DD}$ bei $U_{SS} = 10\text{ V}$ )			500	$\mu\text{A}$
Eingang CLK1						
L-Eingangsspannung	$U_{LL}$		$U_{DD}$		$U_{SS} - 8$	V
H-Eingangsspannung	$U_{HH}$		$U_{SS} - 0,5$		$U_{SS}$	V
Eingang CLK2						
L-Eingangsspannung	$U_{LL}$		$U_{DD}$		$U_{SS} - 8$	V
H-Eingangsspannung	$U_{HH}$		$U_{SS} - 0,5$		$U_{SS}$	V
Eingänge MA1, MA2						
L-Eingangsspannung	$U_{LL}$	$C_e = 10\text{ pF}$	$U_{DD}$		$U_{SS} - 8$	V
H-Eingangsspannung	$U_{HH}$	gegen $U_{SS}$	$U_{SS} - 0,5$		$U_{SS}$	V
Ausgänge AUS +, AUS-						
L-Ausgangsspannung	$U_{OL}$	$I_{OL} = 1\text{ mA}$ , $U_{SS} = 10\text{ V}$	9			V
H-Ausgangsspannung	$U_{OH}$	$I_{OH} = -1\text{ mA}$ , $U_{SS} = 10\text{ V}$			4	V
L/H-Ausgangsstrom	$I_Q$	$T_U = 70^\circ\text{C}$			1	$\mu\text{A}$
Ausgang PHA						
L-Ausgangsspannung	$U_{OL}$	$I_{OL} = 100\text{ }\mu\text{A}$ , $U_{SS} = 10\text{ V}$			6,5	V
H-Ausgangsspannung	$U_{OH}$	$I_{OH} = -1\text{ mA}$ , $U_{SS} = 10\text{ V}$	6,5			V
Ausgang ENA (open-drain)						
Leckstrom	$I_{OH}$	Ausgang Low			20	$\mu\text{A}$
H-Ausgangsspannung	$U_{OH}$	$I_{OH} = 3,5\text{ mA}$ , $U_{SS} = 10\text{ V}$	5			V

Dynamische Kenndaten		Prüfbedin- gungen	untere Grenze B	obere Grenze A	
$U_{SS} = 10\text{ V}$ , $T_U = -20\text{ °C}$ bis $70\text{ °C}$					
Eingangsfrequenz an CLK 1	$f$			6,5	MHz
an CLK 2	$f$			2,5	MHz
Eingangsimpulse an CLK 1	$t_i$	$C_E = 15\text{ pF}$ gegen $U_{SS}$	50		ns
an CLK 2	$t_i$		150		ns
Signalübergangszeit an CLK 1	$t_T$	zw. 10% und 90%		25	ns
an CLK 2	$t_T$			150	ns
Verzögerung ENA gegen fallende Flanke von CLK 2				300	ns

### Grundfunktion

Der Frequenzaufbereitungsbaustein S 187 dient im Trägerfrequenzgenerator zur Kanalwahl. Die Trägerfrequenz wird durch einen spannungsgesteuerten Oszillator (VCO) erzeugt und nach (je nach Kanal) **einstellbarer Teilung** mit einer quarzstabilen Referenzfrequenz verglichen. Die Ausgangsspannung des Frequenzvergleichers steuert den VCO.

Durch Wahl der Teilung kann die Trägerfrequenz auf ein bestimmtes Vielfaches der Referenzfrequenz eingestellt werden.

### Aufbau und Funktion

Siehe Blockschaltbild eines Trägerfrequenzgenerators mit Angabe des im S 187 integrierten Teils.

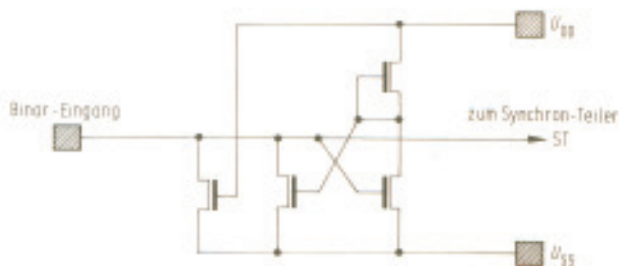
Folgende Funktionen sind enthalten:

- 8stufiger Asynchronteiler, Eingangsfrequenz max. 6,4 MHz, Ausgangsfrequenz wählbar 200, 100, 50, 25 kHz
- umstellbarer 8/10-Teiler  
1) und 2) liefern zusammen die quarzstabile Referenzfrequenz (8 Möglichkeiten).
- Vollprogrammierbarer Synchronsteiler aus zwei zusammenhängenden Teilern A und B, Eingangsfrequenz  $\leq 2,5\text{ MHz}$ .
- 7stufiger Teiler A, einstellbar zwischen 0 bis 127-Teilung. Dieser Teiler wird nach Ablauf angehalten und durch Teiler B rückgesetzt und angestoßen. Er liefert dadurch das Umschaltsignal für einen Vorteiler, mit dessen Hilfe eine noniusartige Teilung entsteht, wodurch die Vergleichsfrequenz höher eingestellt werden kann. Das Umschaltsignal (Ausgang ENA) muß deshalb synchron zum Eingangstakt sein (Verzögerung  $< 300\text{ ns}$ ). Das Umschaltsignal ENA hat deshalb die gleiche Frequenz wie der Ausgang des Teilers B, während das Tastverhältnis durch die Teilung bei A ( $ENA = L$ ) und die Differenz zwischen Teilung bei B und Teilung bei A ( $ENA = H$ ) bestimmt wird. Ist Teilung bei A = 0, liegt ENA immer auf H-Zustand.

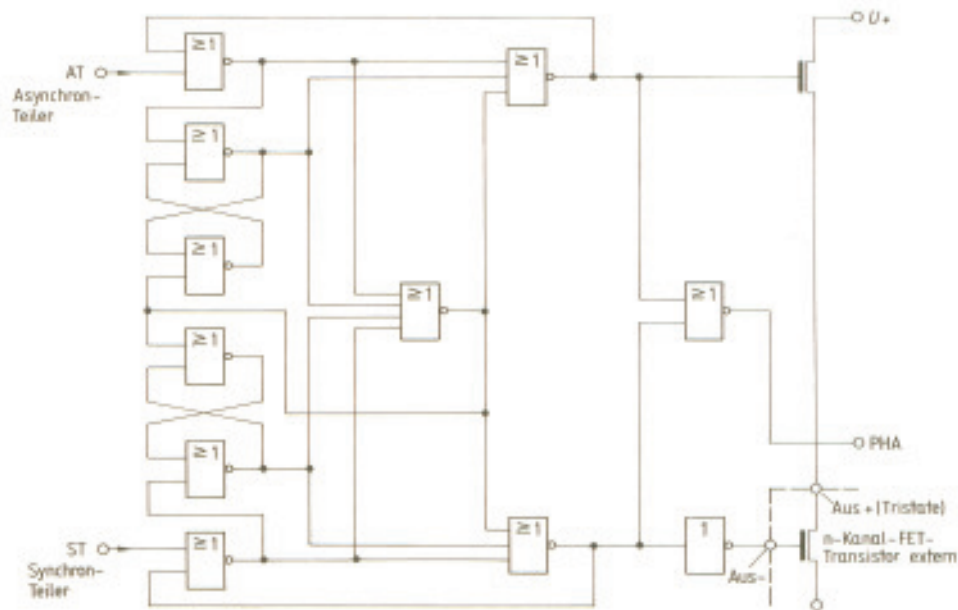


- 3.2 9stufiger Teiler B, einstellbar zwischen 2 bis 513-Teilung. Dieser Teiler setzt sich selbst und Teiler A nach Ablauf zurück. Er liefert die geteilte Trägerfrequenz für den Phasenvergleich.
4. Der Phasenvergleich (siehe Abbildung) nimmt den Frequenzvergleich vor. Er besitzt drei mögliche Ausgangskombinationen (siehe Wahrheitstabelle 1) zwischen denen er, durch  $0 \rightarrow 1$ -Flanken an den Eingängen gesteuert, umschaltet (siehe Wahrheitstabelle 2).
- Sind die Eingangsfrequenzen unterschiedlich, schaltet das führende Signal den Ausgang auf seiner Seite (AT Aus +, ST Aus -) nach „1“, wo er so lange bleibt, bis ihn das andere Signal nach „0“ zurückschaltet.
- Sind beide Frequenzen gleich, aber in verschiedener Phase, wird auf der führenden Seite in jedem Takt ein Ausgangsimpuls der Breite des Phasenunterschieds erzeugt. Liegen die beiden  $0 \rightarrow 1$ -Flanken an beiden Eingängen innerhalb der Totzeit, so bleibt der Phasenvergleich im „0“-Zustand.
- Der Phasenvergleich steuert ein Komplementär-Tristate-Gatter, wobei der interne p-Kanal-Transistor vom +Ausgang und der externe n-Kanal-Transistor vom invertierten -Ausgang angesteuert werden. Der Integrationskondensator wird also im „H“-Zustand aufgeladen, im „L“-Zustand entladen, während er im „0“-Zustand hochohmig abgeschlossen ist. Die Kondensatorspannung und damit die Frequenz des VCO ändert sich also so lange, bis die  $0 \rightarrow 1$ -Flanken an beiden Eingängen innerhalb einer Totzeit des Phasenvergleichers liegen.
5. Aktiv-p-Funktion der Programmieringänge. Die Zuordnung von einzelnen Frequenzen zu bestimmten Sprechkanälen kann extern durch eine  $10 \times 16$  Diodenmatrix geschehen, welche die ausgewählten Programmieringänge niederohmig mit dem negativen Potential verbindet (L) und die nicht ausgewählten nur mit Leckströmen belastet (H).
- Im Worst Case ist dazu äquivalent:  $5 \text{ k}\Omega$  gegen  $U_{DD}$  (L) bzw.  $100 \text{ k}\Omega$  gegen  $U_{DD}$  (H). Die Programmieringänge sind deshalb mit einer Aktiv-p-Schaltung (siehe Abbildung) versehen, die im H-Zustand eine Eingangsspannung  $> U_{SS} - 1 \text{ V}$  und im L-Zustand eine Eingangsspannung  $< U_{DD} + 1 \text{ V}$  erzeugt. Auf diese Weise werden die verschiedensten Ansteuerungen ermöglicht.

#### Aktiv - p - Beschaltung der Programmieringänge



## Phasenvergleichler



Wahrheitstabelle 1 Phasenvergleichler

Zustand des Phasenvergleichers	Ausgang +	Ausgang -	Bemerkung
H	1	0	interner p-Kanal-MOS-FET leitend
L	0	1	externer n-Kanal-MOS-FET leitend
0	0	0	beide Transistoren sperren

Wahrheitstabelle 2 Phasenvergleichler

Ausgangs-Zustand des Phasenvergleichers	Neuer Zustand nach 0 → 1-Flanke bei Eingang	
	AT	ST
H	H	0
0	H	L
L	0	L



**Wahrheitstabelle 3 Referenzfrequenzteiler**

Eingänge			Teilungs- faktor
MA 1	MA 2	8/10	
L	L	L	2048
H	L	L	1024
L	H	L	512
H	H	L	256
L	L	H	2560
H	L	H	1280
L	H	H	640
H	H	H	320

**Wahrheitstabelle 4 VCO-Frequenzteiler**

Teiler A Eingänge							Teilungs- faktor <sup>1)</sup>
A 1	A 2	A 4	A 8	A 16	A 32	A 64	
L	L	L	L	L	L	L	0
H	L	L	L	L	L	L	1
L	H	L	L	L	L	L	2
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
H	H	H	H	H	H	L	126
H	H	H	H	H	H	H	127

- 1) Der Ausgang ENA bleibt für die programmierte Zahl von CLK 2-Eingangsimpulsen im L-Zustand und geht dann auf H.

Teiler B Eingänge									Teilungs- faktor
B 1	B 2	B 4	B 8	B 16	B 32	B 64	B 128	B 265	
L	L	L	L	L	L	L	L	L	512 <sup>2)</sup>
H	L	L	L	L	L	L	L	L	513
L	H	L	L	L	L	L	L	L	2
H	H	L	L	L	L	L	L	L	3
.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.
H	H	H	H	H	H	H	H	L	510
H	H	H	H	H	H	H	H	H	511

- 2) Ist der Zähler B gleich Null, wird mit dem nächsten CLK 2-Eingangsimpuls die an den A- und B-Eingängen vorgewählte Binärinformation in die Zähler A und B übernommen, die von dort an rückwärts zählen. Erreicht Teiler A den Wert Null, bleibt er stehen, bis er wieder neu geladen wird. ENA = L, solange Teiler A läuft.